
Lógica secuencial

6

6-1 INTRODUCCION

Los circuitos digitales hasta ahora considerados han sido combinacionales, es decir, las salidas en un instante dado de tiempo son enteramente dependientes de las entradas presentes en ese mismo tiempo. Aunque cada sistema digital debe tener circuitos combinacionales, la mayoría de los sistemas encontrados en la práctica incluyen también elementos de memoria, los cuales requieren que el sistema se describa en términos de la *lógica secuencial*.

Un diagrama de bloque de un circuito secuencial se muestra en la Figura 6-1. Este consiste en un circuito combinacional al cual se le conectan elementos de memoria para formar un camino de realimentación. Los elementos de memoria son capaces de almacenar información binaria dentro de ellos. La información binaria almacenada en los elementos de memoria en un tiempo dado define el *estado* del circuito secuencial. El circuito secuencial recibe la información binaria de las entradas externas. Estas entradas, conjuntamente con el presente estado de los elementos de memoria, determinan el valor binario de los terminales de salida. También determinan la condición de cambio de estado en los elementos de memoria. El diagrama de bloque demuestra que las salidas externas en un circuito secuencial son una función no solamente de las entradas externas sino del presente estado de los elementos de memoria. El siguiente estado de los elementos de memoria es también una función de las entradas externas y del estado presente. Así, un circuito secuencial se especifica por medio de una secuencia de tiempo de las entradas, salidas y estados internos.

Hay dos tipos de circuitos secuenciales. Su clasificación depende del tiempo de sus señales. Un circuito secuencial *sincrónico* es un sistema cuyo comportamiento puede definirse a partir del conocimiento de sus señales en instantes discretos de tiempo. El comportamiento de un circuito *asincrónico* depende del orden en que cambien las señales de entrada y puedan ser afectadas en un instante dado de tiempo. Los elementos de memoria comúnmente usados en los circuitos secuenciales asincrónicos son mecanismos retardadores de tiempo. La capacidad de memoria de los mecanismos retardadores de tiempo se debe al hecho de que la señal

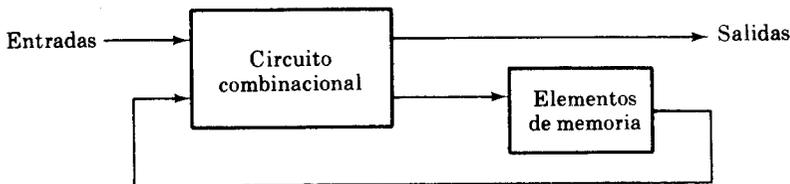


Figura 6-1 Diagrama de bloque de un circuito secuencial

gasta un tiempo finito para propagarse a través del dispositivo. En la práctica, el retardo de propagación interna de las compuertas lógicas es de una duración suficiente como para producir el retardo necesario, de tal manera que las unidades físicas de retardo de tiempo puedan ser despreciables. En los sistemas asincrónicos tipo compuerta, los elementos de memoria de la Figura 6-1 consisten en compuertas lógicas cuyos retardos de propagación constituyen la memoria requerida. Así, un circuito secuencial asincrónico puede tomarse como un circuito combinacional con realimentación. Debido a la realimentación entre las compuertas lógicas, un circuito secuencial asincrónico puede a veces volverse inestable. El problema de inestabilidad impone muchas dificultades al diseñador. Por tanto, su uso no es tan común como en los sistemas sincrónicos.

Un sistema lógico secuencial sincrónico, por definición, puede usar señales que afecten los elementos de memoria solamente en instantes de tiempo discreto. Una forma de lograr este propósito es usar pulsos de duración limitada a través del sistema de tal manera que la amplitud de un pulso represente lógica 1 y otra amplitud de pulso (o la ausencia de un pulso) represente lógica 0. La dificultad con un sistema de pulsos es que cualquier par de pulsos que lleguen de fuentes separadas independientes a las entradas de la misma compuerta mostrarán retardos no predecibles de tal manera que se separarán los pulsos ligeramente, resultando una operación no confiable.

Los sistemas lógicos secuenciales sincrónicos prácticos usan amplitudes fijas tales como niveles de voltaje para las señales binarias. La sincronización se logra por un dispositivo de tiempo llamado *generador maestro de tiempo* el cual genera un tren periódico de *pulsos de reloj*. Los pulsos de reloj se distribuyen a través del sistema de tal manera que los elementos de memoria son afectadas solamente con la llegada del pulso de sincronización. En la práctica, el pulso de reloj se aplica a las compuertas AND conjuntamente con las señales que especifican los cambios requeridos en los elementos de memoria. Las salidas de la compuerta AND pueden transmitir señales solamente en los instantes que coinciden con la llegada de los pulsos de reloj. Los circuitos secuenciales sincrónicos que usan pulsos de reloj en las entradas de los elementos de memoria se llaman *circuitos secuenciales temporizados*. Los circuitos secuenciales temporizados son el tipo más comúnmente usado. No presentan problemas de inestabilidad y su temporización se divide fácilmente en pasos discretos independientes, cada uno de los cuales se considera separadamente. Los circuitos secuenciales que se discuten en este libro son exclusivamente del tipo temporizado.

Los elementos de memoria usados en los circuitos secuenciales temporizados se llaman *flip-flops*. Estos circuitos son celdas binarias capaces de almacenar un bit de información. Un circuito flip-flop tiene dos entradas, una para el valor normal y uno para el valor complemento del bit almacenado en él. La información binaria puede entrar a un flip-flop en una variedad de formas, hecho éste, que determina diferentes tipos de flip-flops. En la siguiente sección se examinan varios tipos de flip-flops y se definen sus propiedades lógicas.

6-2 FLIP-FLOPS

Un circuito flip-flop puede mantener un estado binario indefinidamente (siempre y cuando se esté suministrando potencia al circuito) hasta que se cambie por una señal de entrada para cambiar estados. La principal diferencia entre varios tipos de flip-flops es el número de entradas que poseen y la manera en la cual las entradas afectan el estado binario. Los tipos de flip-flops más comunes se discuten a continuación.

Circuito básico de un flip-flop

Se mencionó en las Secciones 4-7 y 4-8 que un circuito flip-flop puede construirse con dos compuertas NAND o dos compuertas NOR. Estas construcciones se muestran en los diagramas lógicos de las Figuras 6-2 y 6-3. Cada circuito forma un flip-flop básico del cual se puede construir uno más complicado. La conexión de acoplamiento intercruzado de la salida de una compuerta a la entrada de la otra constituye un camino de realimentación. Por esta razón, los circuitos se clasifican como circuitos secuenciales asincrónicos. Cada flip-flop tiene dos salidas, Q y Q' y dos entradas S (*set*) y R (*reset*). Este tipo de flip-flop se llama *flip-flop RS acoplado directamente* o *bloqueador SR* (SR latch). Las letras R y S son las iniciales de los nombres en inglés de las entradas (*reset*, *set*).

Para analizar la operación del circuito de la Figura 6-2 se debe recordar que la salida de una compuerta NOR es 0 si cualquier entrada es 1 y que la salida es 1 solamente cuando todas las entradas sean 0. Como punto de partida asúmase que la entrada de puesta a uno (*set*) es 1 y que la entrada de puesta a cero (*reset*) sea 0. Como la compuerta 2 tiene una entrada de 1, su salida Q' debe ser 0, lo cual coloca ambas entradas

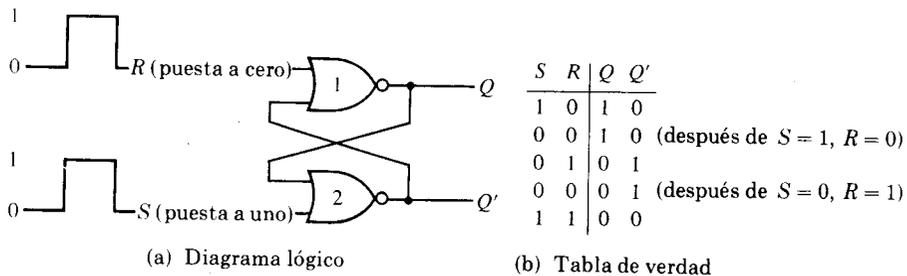


Figura 6-2 Circuito flip-flop básico con compuertas NOR

de la compuerta 1 a 0 para tener la salida Q como 1. Cuando la entrada de puesta a uno (set) vuelva a 0, las salidas permanecerán iguales ya que la salida Q permanece como 1, dejando una entrada de la compuerta 2 en 1. Esto causa que la salida Q' permanezca en 0 lo cual coloca ambas entradas de la compuerta número 1 en 0 y así la salida Q es 1. De la misma manera es posible demostrar que un 1 en la entrada de puesta a cero (reset) cambia la salida Q a 0 y Q' a 1. Cuando la entrada de puesta a cero cambia a 0, las salidas no cambian.

Cuando se aplica un 1 a ambas entradas de puesta a uno y puesta a cero ambas salidas Q y Q' van a 0. Esta condición viola el hecho de que las salidas Q y Q' son complementos entre sí. En operación normal esta condición debe evitarse asegurándose que no se aplica un 1 a ambas entradas simultáneamente.

Un flip-flop tiene dos entradas útiles. Cuando $Q = 1$ y $Q' = 0$ estará en el estado de *puesta a uno* (o estado 1). Cuando $Q = 0$ y $Q' = 1$ estará en el estado de *puesta a cero* (o estado 0). Las salidas Q y Q' son complementos entre sí y se les trata como salidas normales y de complemento respectivamente. El estado binario de un flip-flop se toma como el valor de su salida normal.

Bajo operación normal, ambas entradas permanecen en 0 a no ser que el estado del flip-flop haya cambiado. La aplicación de un 1 momentáneo a la entrada de puesta a uno causará que el flip-flop vaya a ese estado. La entrada de puesta a uno debe volver a cero antes que se aplique un 1 a la entrada de puesta a cero. Un 1 momentáneo aplicado a la entrada de puesta a cero causará que el flip-flop vaya al *estado de borrado* (o puesta a cero). Cuando ambas entradas son inicialmente cero y se aplica un 1 a la entrada de puesta a uno mientras que el flip-flop esté en el estado de puesta a uno o se aplica un 1 a la entrada de puesta a cero mientras que el flip-flop esté en el estado de borrado, quedarán las salidas sin cambio. Cuando se aplica un 1 a ambas entradas de puesta a uno y de puesta a cero, ambas salidas irán a 0. Este estado es indefinido y se evita normalmente. Si ahora ambas salidas van a 0, el estado del flip-flop es indeterminado y depende de aquella entrada que permanezca por mayor tiempo en 1 antes de hacer la transición a 0.

El circuito flip-flop básico NAND de la Figura 6-3 opera con ambas entradas normalmente en 1 a no ser que el estado del flip-flop tenga que cambiarse. La aplicación de un 0 momentáneo a la entrada de puesta a

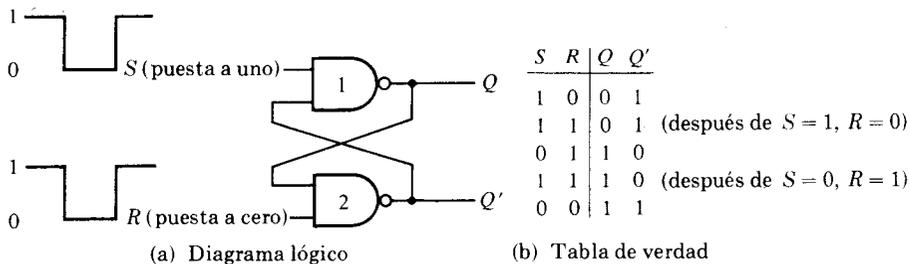
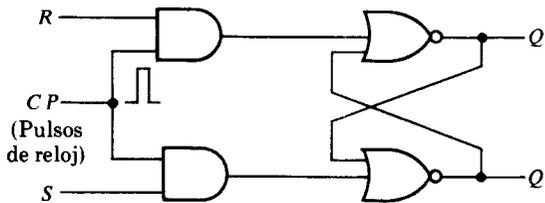


Figura 6-3 Circuito flip-flop básico con compuertas NAND

uno, causará que Q vaya a 1 y Q' vaya a 0, llevando el flip-flop al estado de puesta a uno. Después que la entrada de puesta a uno vuelva a 1, un 0 momentáneo en la entrada de puesta a cero causará la transición al estado de borrado (clear). Cuando ambas entradas vayan a 0, ambas salidas irán a 1; esta condición se evita en la operación normal de un flip-flop.

Flip-flop RS temporizado

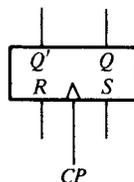
El flip-flop básico por sí solo es un circuito secuencial asincrónico. Agregando compuertas a las entradas del circuito básico, puede hacerse que el flip-flop responda a los niveles de entrada durante la ocurrencia del pulso del reloj. El flip-flop RS temporizado mostrado en la Figura 6-4(a) consiste en un flip-flop básico NOR y dos compuertas AND. Las salidas de dos compuertas AND permanecen en cero mientras el pulso del reloj (abreviado en inglés CP) sea 0, independientemente de los valores de entrada de S y R. Cuando el pulso del reloj vaya a 1, la información de las entradas S y R se permite llegar al flip-flop básico. El estado de puesta a uno se logra con $S = 1, R = 0$ y $CP = 1$. Para cambiar el estado de puesta a cero (o borrado) las entradas deben ser $S = 0, R = 1$ y $CP = 1$. Con $S = 1$ y $R = 1$, la ocurrencia de los pulsos de reloj causará que ambas salidas vayan momentáneamente a 0. Cuando se quite el pulso, el estado del flip-flop será indeterminado, es decir, podría resultar cualquier estado,



(a) Diagrama lógico

Q	S	R	Q(t + 1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	indeterminado
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	indeterminado

(c) Tabla característica



(b) Símbolo gráfico

Q	SR		S	
	00	01	11	10
0			X	1
1	1		X	1

$$Q(t + 1) = S + R'Q$$

$$SR = 0$$

(d) Ecuación característica

Figura 6-4 Flip-flop RS temporizado

dependiendo de si la entrada de puesta a uno o la de puesta a cero del flip-flop básico, permanezca el mayor tiempo, antes de la transición a 0 al final del pulso.

El símbolo gráfico del flip-flop *RS* sincronizado se muestra en la Figura 6-4(b). Tiene tres entradas: *S*, *R* y *CP*. La entrada *CP* no se escribe dentro del recuadro debido a que se reconoce fácilmente por un pequeño triángulo. El triángulo es un símbolo para el *indicador dinámico* y denota el hecho de que el flip-flop responde a una *transición* del reloj de entrada o flanco de subida de una señal de un nivel bajo (o binario) a un nivel alto (1 binario). Las salidas del flip-flop se marcan con *Q* y *Q'* dentro del recuadro. Se le puede asignar al flip-flop un nombre de variable diferente aunque se escriba una *Q* dentro del recuadro. En este caso la letra escogida para la variable del flip-flop se marca *por fuera* del recuadro y a lo largo de la línea de salida. El estado del flip-flop se determina del valor de su salida normal *Q*. Si se desea obtener el complemento de la salida normal, no es necesario usar un inversor ya que el valor complementado se obtiene directamente de la salida *Q'*.

La tabla característica del flip-flop se muestra en la Figura 6-4(c). Esta tabla resume la operación del flip-flop en forma de tabulado. *Q* es el estado binario del flip-flop en un tiempo dado (refiriéndose al *estado presente*), las columnas *S* y *R* dan los valores posibles de las entradas y *Q(t + 1)* es el estado del flip-flop después de la ocurrencia de un pulso de reloj (refiriéndose al *siguiente estado*).

La ecuación característica de un flip-flop se deduce del mapa de la Figura 6-4(d). Esta ecuación especifica el valor del siguiente estado como una función del presente estado y de las entradas. La ecuación característica es una expresión algebraica para la información binaria de la tabla característica. Los dos estados indeterminados se marcan con una *X* en el mapa, ya que pueden resultar como 1 o como 0. Sin embargo la relación $SR = 0$ debe incluirse como parte de la ecuación característica para especificar que *S* y *R* no pueden ser iguales a 1 simultáneamente.

Flip-flop *D*

El flip-flop *D* mostrado en la Figura 6-5 es una modificación del flip-flop *RS* sincronizado. Las compuertas NAND 1 y 2 forman el flip-flop básico y las compuertas 3 y 4 las modifican para conformar el flip-flop *RS* sincronizado. La entrada *D* va directamente a la entrada *S* y su complemento se aplica a la entrada *R* a través de la compuerta 5. Mientras que el pulso de reloj de entrada sea un 0, las compuertas 3 y 4 tienen un 1 en sus salidas, independientemente del valor de las otras entradas. Esto está de acuerdo a los requisitos de que las dos entradas del flip-flop básico NAND (Figura 6-3) permanezcan inicialmente en el nivel de 1. La entrada *D* se comprueba durante la ocurrencia del pulso de reloj. Si es 1, la salida de la compuerta 3 va a 0, cambiando el flip-flop al estado de puesta a uno (a no ser que ya esté en ese estado). Si es 0, la salida de la compuerta 4 va a 0, cambiando el flip-flop al estado de borrado.

El flip-flop tipo *D* recibe su nombre por la habilidad de transmitir "datos" a un flip-flop. Es básicamente un flip-flop *RS* con un inversor en

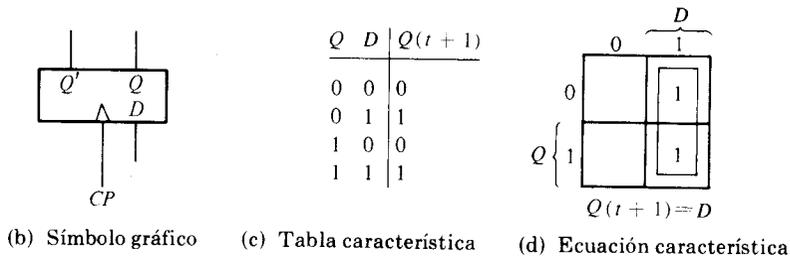
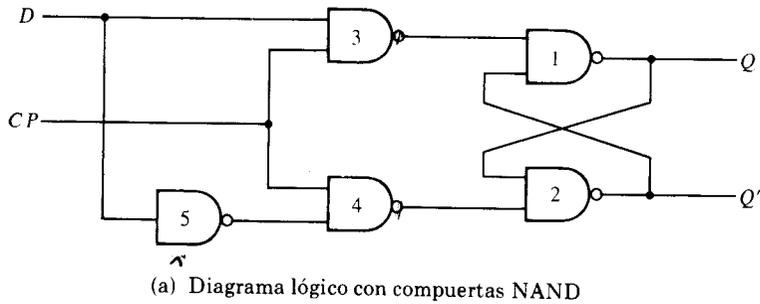


Figura 6-5 Flip-flop D temporizado

la entrada R . El inversor agregado reduce el número de entradas de dos a uno. Este tipo de flip-flop se llama algunas veces *bloqueador D con compuertas* o *flip-flop de bloqueo*. La entrada CP se le da a menudo la designación variable G (de *gate*) para indicar que esta entrada habilita el flip-flop de bloqueo para hacer posible que los datos entren al mismo.

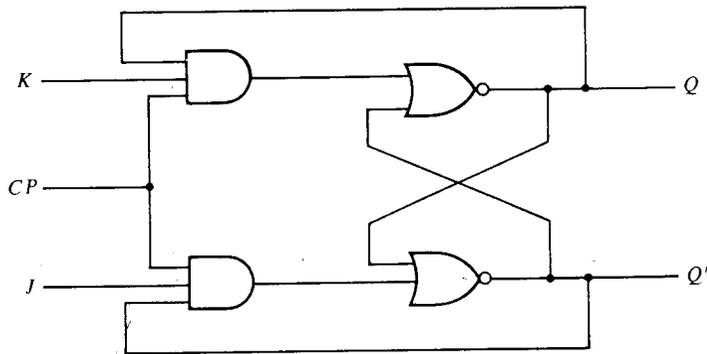
El simbolo para el flip-flop D sincronizado se muestra en la Figura 6-5(b). La tabla característica se lista en la parte (c) y la ecuación característica se deriva en la parte (d). La ecuación característica muestra que el siguiente estado del flip-flop es igual a la entrada D y es independiente del valor del presente estado.

Flip-flop JK

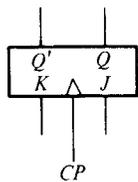
Un flip-flop JK es un refinamiento del flip-flop RS ya que el estado indeterminado del tipo RS se define en el tipo JK . Las entradas J y K se comportan como las entradas S y R para poner a uno o cero (set o clear) al flip-flop (nótese que en el flip-flop JK la letra J se usa para la entrada de *puesta a uno* y la letra K para la entrada de *puesta a cero*). Cuando ambas entradas se aplican a J y K simultáneamente, el flip-flop cambia a su estado de complemento, esto es, si $Q = 1$ cambia a $Q = 0$ y viceversa.

Un flip-flop JK sincronizado se muestra en la Figura 6-6(a). La salida Q se aplica con K y CP a una compuerta AND de tal manera que el flip-flop se ponga a cero (clear) durante un pulso de reloj solamente si Q fue 1 previamente. De manera similar la salida Q' se aplica con J y CP a una compuerta AND de tal manera que el flip-flop se ponga a uno con un pulso de reloj, solamente si Q' fue 1 previamente.

Como se muestra en la tabla característica en la Figura 6-6(c), el flip-flop JK se comporta como un flip-flop RS excepto cuando J y K sean



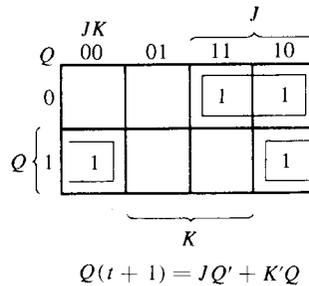
(a) Diagrama lógico



(b) Símbolo gráfico

Q	J	K	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

(c) Tabla característica



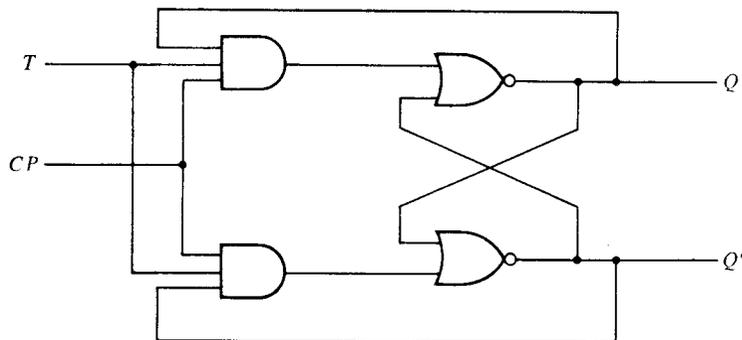
(d) Ecuación característica

Figura 6-6 Flip-flop JK temporizado

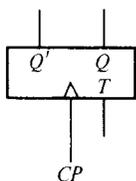
ambos 1. Cuando J y K sean 1, el pulso de reloj se trasmite a través de una compuerta AND solamente; aquella cuya entrada se conecta a la salida del flip-flop la cual es al presente igual a 1. Así, si $Q = 1$, la salida de la compuerta AND superior se convertirá en 1 una vez se aplique un pulso de reloj y el flip-flop se pondrá en 1. Si $Q' = 1$ la salida de la compuerta AND se convierte en 1 y el flip-flop se pone a uno. En cualquier caso, el estado de salida del flip-flop se complementa.

Las entradas en el símbolo gráfico para el flip-flop JK deben marcarse con una J (debajo de Q) y K (debajo de Q'). La ecuación característica se da en la Figura 6-4(d) y se deduce del mapa de la tabla característica.

Nótese que debido a la conexión de realimentación del flip-flop JK, la señal CP que permanece en 1 (mientras que $J = K = 1$) causará transiciones repetidas y continuas de las salidas después de que las salidas hayan sido complementadas. Para evitar esta operación indeseable, los pulsos de reloj deben tener un tiempo de duración que es menor que la demora de propagación a través del flip-flop. Esta es una restricción, ya que la operación del circuito depende del ancho de los pulsos. Por esta razón los flip-flops JK nunca se construyen como se muestra en la Figura 6-6(a). La restricción del ancho del pulso puede ser eliminada con un maestro esclavo o una construcción activada por flanco de la manera discutida en la siguiente sección. El mismo razonamiento se aplica al flip-flop T presentado a continuación.



(a) Diagrama lógico



(b) Símbolo gráfico

Q	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

(c) Tabla característica

		T	
		0	1
Q	0		1
	1	1	

$$Q(t+1) = TQ' + TQ$$

(d) Ecuación característica

Figura 6-7 Flip-flop T temporizado

Flip-flop T

El flip-flop T es la versión de una entrada, del flip-flop JK . Como se muestra en la Figura 6-7(a), el flip-flop J se obtiene de un tipo JK a la cual se le unen las dos entradas. El nombre T se deriva de la habilidad del flip-flop de variar ("toggle") o cambiar estado. Independientemente del presente estado del flip-flop, este asume el estado de complemento cuando ocurre el pulso de reloj mientras que la entrada T esté en lógica 1. El símbolo, la tabla característica y la ecuación característica del flip-flop T se muestran en la Figura 6-7, partes (b), (c) y (d) respectivamente.

Los flip-flops introducidos en esta sección son los de tipo más común comercialmente. Los procedimientos de análisis y de diseño desarrollados en este capítulo se aplican a cualquier flip-flop sincronizado una vez que se haya definido su tabla característica.

6-3 DISPARO DE LOS FLIP-FLOPS (TRIGGERING)

El estado de un flip-flop se varía debido a un cambio momentáneo en la señal de entrada. Este cambio momentáneo se le llama *disparo* (trigger) y la transición que lo causa se dice que dispara el flip-flop. Los flip-flops asincrónicos, tales como los circuitos básicos de la Figura 6-2 y 6-3, requieren un disparo de entrada definido por un cambio de *nivel* de señal.

Este nivel debe regresarse a un valor inicial (0 en el flip-flop a base de NOR y 1 en aquella a base de NAND) antes de aplicarle el segundo disparo. Los flip-flops sincronizados se disparan por medio de *pulsos*. Un pulso comienza a partir de su valor inicial de 0, va momentáneamente a 1 y después de un corto período, regresa a su valor inicial 0. El intervalo de tiempo que ocurre desde la aplicación del pulso hasta que ocurra la transición de salida, es un factor crítico que requiere investigación posterior.

Como se ve en el diagrama de bloque de la Figura 6-1, un circuito secuencial tiene un camino de realimentación entre el circuito combinacional y los elementos de memoria. Este camino puede producir inestabilidad si las salidas de los elementos de memoria (flip-flops) están cambiando mientras que las salidas del circuito combinacional que van a las entradas de los flip-flops estén siendo sometidas a disparo por el pulso del reloj. El problema de tiempo puede ser prevenido si las salidas de los flip-flops no comienzan a cambiar hasta que el impulso de entrada haya retornado a 0. Para asegurar tal operación, un flip-flop debe tener un retardo de propagación de la señal desde la entrada hasta la salida, en exceso, con respecto a la duración del pulso. Este retardo es comúnmente muy difícil de controlar si el diseñador depende totalmente del retardo de propagación de las compuertas lógicas. Una forma de asegurar el retardo adecuado es incluir dentro del circuito del flip-flop una unidad de retardo físico que tenga un retardo igual o mayor que la duración del pulso. Una forma muy buena de resolver el problema de temporización por realimentación es hacer el flip-flop sensible a la *transición* del pulso en vez de la duración del pulso.

Un pulso de reloj puede ser positivo o negativo. Una fuente de reloj positiva permanece en 0 durante el intervalo entre los pulsos y va a 1 durante la ocurrencia de un pulso. El pulso pasa por dos transiciones de señal: de 0 a 1 y el regreso de 1 a 0. Como se ve en la Figura 6-8, la transición positiva se define como *flanco positivo* y la transición negativa como *flanco negativo*. Esta definición se aplica a los pulsos negativos.

Los flip-flops sincronizados que se introdujeron en la Sección 6-2 se disparan durante el flanco positivo del pulso y el estado de transición comienza tan pronto como el pulso alcanza el nivel de lógica 1. El nuevo estado del flip-flop puede aparecer en los terminales de salida mientras

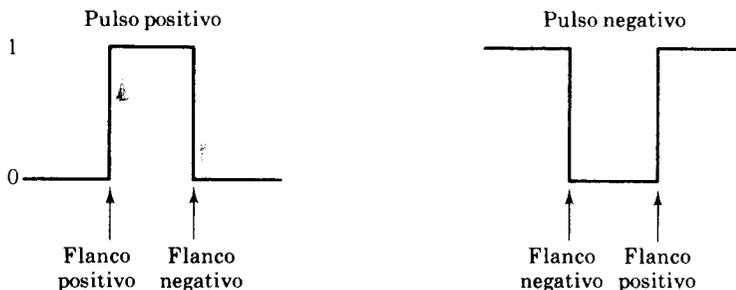


Figura 6-8 Definición de la transición de un pulso de reloj

que el pulso de entrada sea 1 todavía. Si las otras entradas del flip-flop cambian mientras que el pulso sea 1, el flip-flop empezará a responder a esos valores nuevos y puede ocurrir un nuevo estado de salida. Cuando esto pasa, la salida de un flip-flop no puede ser aplicada a las entradas de otro flip-flop cuando ambos sean disparados por el mismo pulso de reloj. Sin embargo, si se puede hacer que el flip-flop responda al flanco positivo (o negativo) de transición *solamente*, en vez de la duración total del pulso, entonces se puede eliminar el problema de la múltiple transición.

Una manera de hacer que el flip-flop responda al pulso de transición es usar un acoplamiento capacitivo. En esta configuración, se inserta un circuito RC (resistencia-condensador) en la entrada de reloj del flip-flop. Este circuito genera un pico en respuesta al cambio momentáneo de la señal de entrada. Un flanco positivo emerge de tal circuito con un pico positivo y un flanco negativo con un pico negativo (spike). La activación de los flancos se logra diseñando el flip-flop para ignorar un pico y dispararse con la ocurrencia del siguiente. Otra forma de lograr el disparo de los flancos es el uso de un maestro esclavo o flip-flop de disparo por flancos como se discute a continuación.

* Flip-flop maestro esclavo

Un flip-flop maestro esclavo se construye con dos flip-flops separados. Un circuito sirve como maestro y el otro como esclavo y el circuito completo se trata como un *flip-flop maestro esclavo*. El diagrama lógico de un flip-flop maestro esclavo RS se muestra en la Figura 6-9. Esta consiste en un flip-flop maestro, un esclavo y un inversor. Cuando el pulso de reloj CP es 0, la salida del inversor es 1. Como el pulso de entrada de reloj del esclavo es 1, el flip-flop se habilita y la salida Q es igual a Y mientras que Q' se iguala a Y' . El flip-flop maestro se inhabilita debido a que $CP = 0$. Cuando el pulso de reloj se convierte en 1, la información en las entradas externas R y S se transmiten al flip-flop maestro. El flip-flop maestro sin embargo, se aísla por el intervalo en que el pulso esté en un nivel de 1, ya que la salida del inversor es 0. Cuando el pulso regresa a 0, el flip-flop

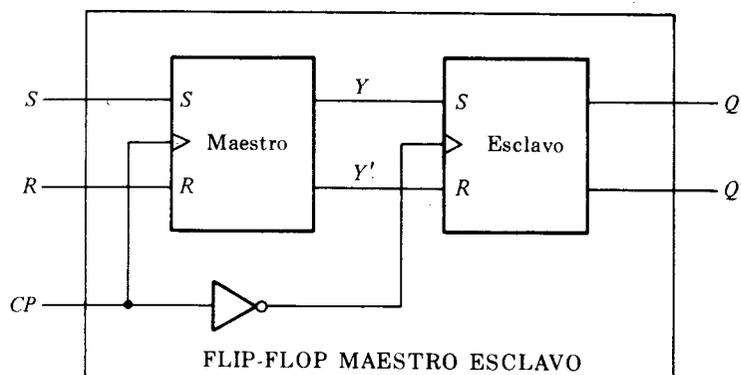


Figura 6-9 Diagrama lógico de un flip-flop maestro esclavo.

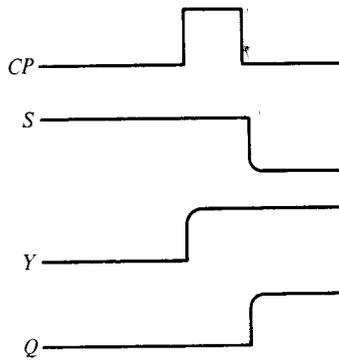


Figura 6-10 Relaciones de tiempo de un flip-flop maestro esclavo

maestro se aísla, lo cual previene que las entradas externas lo afecten. El flip-flop esclavo irá al mismo estado que el maestro.

Las relaciones de tiempo mostradas en la Figura 6-10 ilustran la secuencia de eventos que ocurren en un flip-flop maestro esclavo. Así-mase que el flip-flop está en el estado de puesta a cero antes de la ocurrencia de un pulso, de tal manera que $Y=0$ y $Q=0$. Las condiciones de entrada son $S=1$, $R=0$ y el siguiente pulso de reloj debe conmutar el flip-flop al estado de puesta a uno con $Q=1$. Durante la transacción del pulso de 0 a 1, el flip-flop maestro se pone a uno y conmuta Y a 1. El flip-flop esclavo no se afecta debido a que su CP es 0. Como el flip-flop maestro es un circuito interno, su cambio de estado no se nota en las salidas Q y Q' . Cuando el pulso regrese a 0, la información del maestro se permite pasar al esclavo haciendo la salida externa $Q=1$. Nótese que la entrada externa S puede cambiarse al mismo tiempo que el pulso va a través de la transición de un flanco negativo. Esto se debe a que una vez que CP alcance el 0, el maestro se inhabilita y sus entradas R y S no tienen influencia hasta que el siguiente pulso de reloj ocurra. Entonces, en un flip-flop maestro esclavo, es posible variar la salida y la información de entrada, con el mismo pulso de reloj. Se debe tener en cuenta que la entrada S podría venir de la salida de otro flip-flop maestro esclavo que fuera conmutado con el mismo pulso de reloj.

El comportamiento del flip-flop maestro esclavo ya descrito determina que los cambios de estado en todos los flip-flops coincide con la transición del flanco negativo del pulso. Sin embargo, algunos flip-flops maestro esclavo de CI cambian los estados de salida en la transición del flanco positivo de los pulsos de reloj. Esto ocurre en los flip-flops que tienen un inversor adicional entre el terminal CP y la entrada del maestro. Este tipo de flip-flops son disparados con pulsos negativos (ver Figura 6-8), tales que el flanco negativo del pulso afecta al maestro y el flanco positivo afecta al esclavo y a los terminales de salida.

La combinación maestro esclavo puede contruirse para cualquier tipo de flip-flops agregando un flip-flop RS sincronizado con un reloj invertido para formar un esclavo. Un ejemplo de un flip-flop JK maestro esclavo construido con compuertas NAND se muestra en la Figura 6-11. Este consiste en dos flip-flops; las compuertas 1 hasta 4 forman el flip-flop

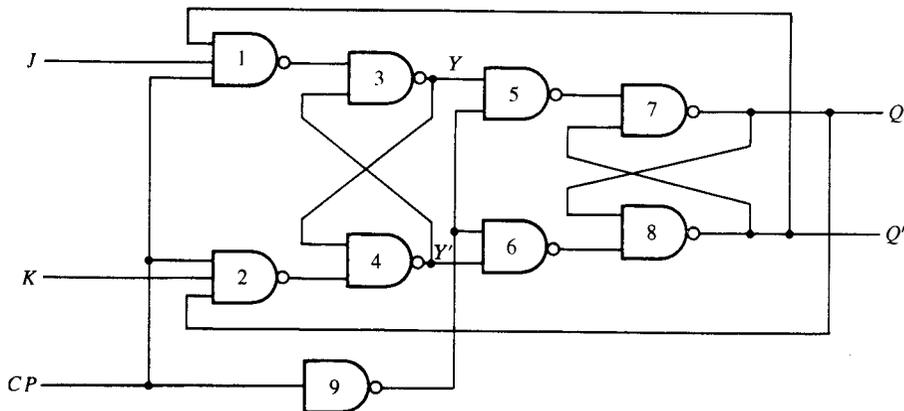


Figura 6-11 Flip-flop JK temporizado maestro esclavo

maestro y las compuertas 5 hasta 8 forman el flip-flop esclavo. La información presente en las entradas J y K se trasmite al flip-flop maestro en el flanco positivo del pulso de reloj y se sostiene allí hasta que el flanco negativo del pulso de reloj sucede, después del cual se permite pasar hasta el flip-flop esclavo. El reloj de entrada es normalmente 0, lo cual mantiene las salidas de las compuertas 1 y 2 en el nivel de 1. Esto previene a las entradas J y K de afectar el flip-flop maestro. El flip-flop esclavo es del tipo RS temporizado con el flip-flop maestro que suministra las entradas y el reloj de entrada invertido por la compuerta 9. Cuando el reloj es 0, la salida de la compuerta 9 es 1 de manera que la salida Q es igual a Y y Q' es igual a Y' . Cuando ocurre el flanco positivo de un pulso de reloj, el flip-flop maestro se afecta y puede conmutar estados. El flip-flop esclavo se aísla durante el tiempo en que el reloj esté en el nivel 1, debido a que la salida de la compuerta 9 suministra un 1 a ambas entradas del flip-flop básico NAND de las compuertas 7 y 8. Cuando el reloj de entrada regrese a 0, el flip-flop maestro se aísla de las entradas J y K y el flip-flop esclavo va al mismo estado del flip-flop maestro.

Considérese un sistema digital que contenga muchos flip-flops maestro esclavo, con las salidas de algunos flip-flops conectados a las entradas de otros. Así, se asume que las entradas del pulso de reloj a todos los flip-flops están sincronizados (ocurren al mismo tiempo). Al comienzo de cada pulso de reloj, algunos de los elementos maestro cambian de estado, pero todos los flip-flops de salida permanecen en sus valores previos. Después que el pulso de reloj regrese a 0, algunas de las salidas cambian de estado, pero ninguno de estos estados nuevos tienen un efecto en cualquiera de los elementos maestro hasta el siguiente pulso de reloj. Así, los estados de los flip-flops en el sistema pueden cambiarse simultáneamente durante el mismo pulso de reloj, aunque las salidas de los flip-flops se conectan a las entradas de otros. Esto es posible porque el nuevo estado aparece en los terminales de salida solamente después que el pulso de reloj haya cambiado a cero. Por tanto el contenido binario de un flip-flop puede transferirse al segundo y el contenido del segundo transferirse al primero y ambas transferencias ocurren durante el mismo pulso de reloj.

Flip-flop disparado por flanco

Otro tipo de flip-flop que sincroniza los cambios de estado durante una transición de pulso de reloj es el flip-flop *disparado por flanco* (edge-triggered flip-flop). En este tipo de flip-flop, las transiciones de salida ocurren en un nivel específico del pulso de reloj. Cuando el nivel de entrada del pulso excede este umbral, se cierran las entradas y el flip-flop es por tanto inactivo a cambios posteriores en las entradas hasta que el pulso de reloj regrese a cero y ocurra otro pulso. Algunos flip-flops disparados por flanco causan una transición en el flanco positivo del pulso y otros causan una transición en el flanco negativo del pulso.

El diagrama lógico de un flip-flop tipo *D* disparado por flanco positivo se muestra en la Figura 6-12. Este consiste en tres flip-flops básicos del tipo mostrado en la Figura 6-3. Las compuertas NAND 1 y 2 constituyen un flip-flop básico y las compuertas 3 y 4 otro. El tercer flip-flop básico que comprende las compuertas 5 y 6 suministra las salidas del circuito. Las entradas *S* y *R* del tercer flip-flop básico deben mantenerse en lógica 1 para que las salidas permanezcan en sus valores estables. Cuando $S = 0$ y $R = 1$, la salida va al estado de puesta a uno con $Q = 1$. Cuando $S = 1$ y $R = 0$, la salida va al estado de puesta a cero con $Q = 0$. Las salidas *S* y *R* se determinan de los estados de los otros dos flip-flops básicos. Estos dos flip-flops básicos responden a las entradas externas *D* (datos) y a *CP* (pulso de reloj).

La operación del circuito se explica en la Figura 6-13 donde las compuertas 1-4 se redibujan para mostrar todas las transiciones posibles. Las salidas *S* y *R* de las compuertas 2 y 3 van a las compuertas 5 y 6 como se muestra en la Figura 6-12, para suministrar las salidas actuales del flip-flop. La Figura 6-13(a) muestra los valores binarios de las salidas de las cuatro compuertas cuando $CP = 0$. La entrada *D* bien podría ser igual

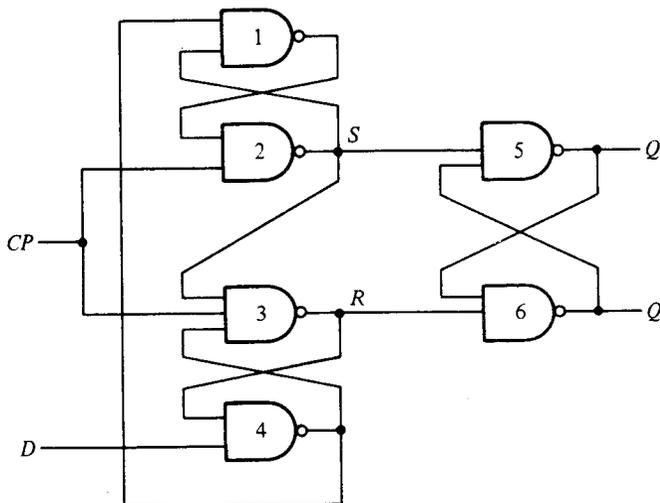
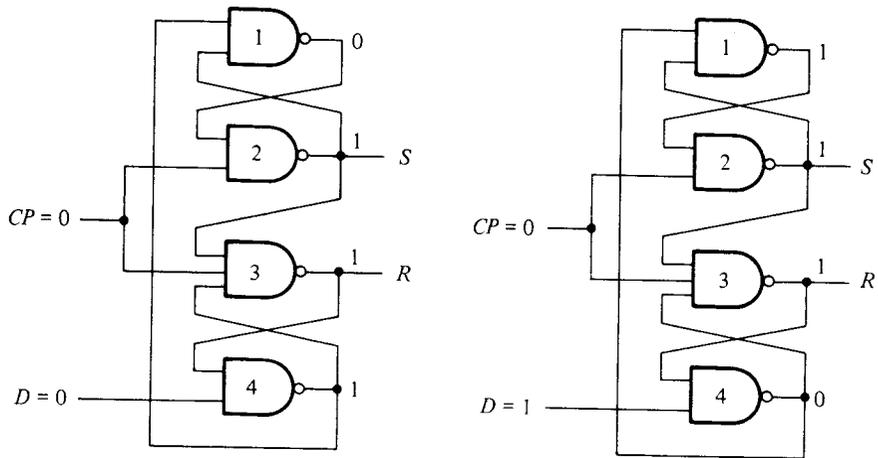
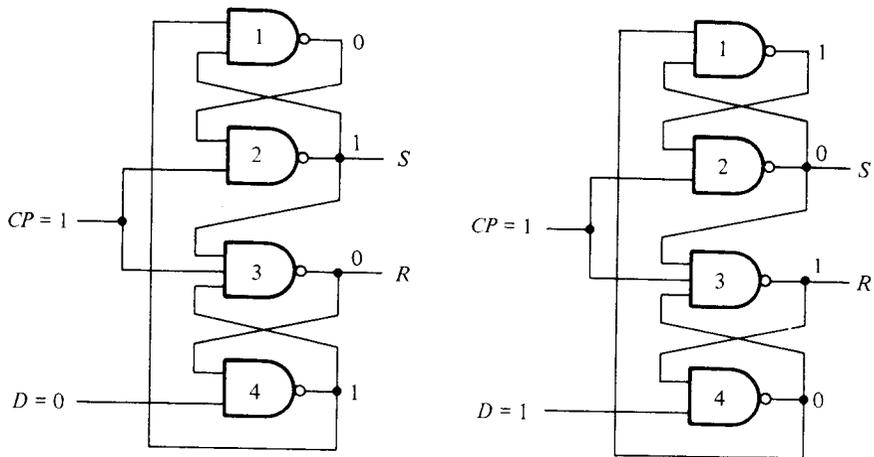


Figura 6-12 Flip-flop tipo *D* disparado por flanco positivo



(a) Con $CP=0$



(b) Con $CP=1$

Figura 6-13 Operación de un flip-flop tipo D disparado por flanco

a 0 ó 1. En cualquier caso, un CP de 0 causa que las salidas de las compuertas 2 y 3 vayan a 1, haciendo $S = R = 1$, lo cual constituye la condición para la salida de estado estable. Cuando $D = 0$, la compuerta 4 tiene una salida de 1 lo que causa que la salida de la compuerta 1 vaya a 0. Cuando $D = 1$, la compuerta 4 irá a 0, lo cual causará que la salida de la compuerta 1 vaya a 1. Estas son las dos condiciones posibles cuando con el terminal CP en 0, se habilitan y cambian las salidas del flip-flop sin importar cual es el valor de D .

Hay un tiempo definido, llamado el tiempo de *establecimiento* durante el cual se debe mantener la entrada D a un valor constante antes de la aplicación del pulso. El tiempo de establecimiento es igual al retardo de propagación a través de las compuertas 4 y 1 ya que un cambio en D cau-

sa un cambio en las salidas de esas dos compuertas. Asíumase ahora que D no cambia durante el tiempo de establecimiento y que la entrada CP se torna 1. Esta situación se dibuja en la Figura 6-13(b). Si $D=0$ cuando CP se convierta en 1, entonces S permanecerá 1 pero R cambiará a 0. Esto causará que la salida del flip-flop Q vaya a 0 (en la Figura 6-12). Si ahora durante $CP=1$, hay un cambio en la entrada D , la salida de la compuerta 4 permanecerá en 1 (aunque D vaya a 1), ya que una de las entradas de la compuerta viene de R , la cual se ha mantenido en 0. Solamente cuando CP reaparece en 0, la salida de la compuerta 4 puede cambiar; pero entonces ambas R y S se convierten en 1, no permitiendo ningún cambio en la salida del flip-flop. Sin embargo hay un tiempo definido, llamado el tiempo de *sostenimiento*, el cual no puede ser cambiado por la entrada D después de la aplicación de la transición del flanco positivo móvil del pulso. El tiempo de sostenimiento es igual al retardo de propagación de la compuerta 3, ya que se debe tener seguridad que R se convierta en 0 para poder mantener la salida de la compuerta 4 en 1, independientemente del valor de D .

Si $D=1$ cuando $CP=1$, entonces S cambia a 0 pero R permanece en 1, lo cual causa que la salida del flip-flop Q vaya a 1. Un cambio en D , mientras $CP=1$ no altera S y R porque la compuerta 1 se mantiene en 1 por la señal 0 de S . Cuando CP vaya a cero, ambas R y S irán a 1 para prevenir que la salida sufra algunos cambios.

En suma, cuando el pulso del reloj de entrada hace una transición de flanco móvil positivo, el valor de D se trasfiere a Q . Los cambios en D cuando CP se mantiene en un valor estable de 1 no afectarán a Q . Sin embargo, una transición del pulso de flanco negativo no afectará la salida, como tampoco lo hará cuando $CP=0$. Entonces, los flip-flops disparados por flancos eliminan cualquier problema de realimentación en los circuitos secuenciales de la misma manera que lo hace el flip-flop maestro esclavo. El tiempo de establecimiento y de sostenimiento deben tenerse en consideración al usar este tipo de flip-flop.

Cuando se usan diferentes tipos de flip-flops en el mismo circuito secuencial, se debe estar seguro que todos los flip-flops hacen la transición al mismo tiempo es decir, durante el flanco positivo o el flanco negativo del pulso. Aquellos flip-flops que se comporten opuestamente a la transición de polaridad adoptada, pueden cambiarse fácilmente agregándoles inversores en los relojes de entrada. Un procedimiento alternativo es suministrar ambos pulsos positivos y negativos (por medio de un inversor) y luego aplicar los pulsos positivos a los flip-flops que se disparan durante el flanco negativo y los pulsos negativos a los flip-flops que se disparan durante el flanco positivo, o viceversa. *

Entradas directas

Los flip-flops disponibles en cápsulas de CI vienen algunas veces con entradas especiales para puesta a uno o cero del flip-flop de manera asincrónica. Estas entradas se llaman de *puesta a uno directa* (direct preset) y de *puesta a cero directa* (direct clear). Ellas afectan el flip-flop en el valor positivo (o negativo) de la señal de entrada sin que sea necesario el

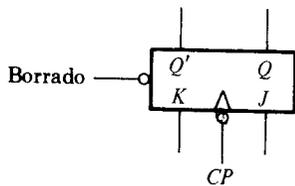


Tabla de función

Entradas			Salidas	
Borrado:Reloj	J	K	Q	Q'
0	X	X	0	1
1	↓	0	No cambio	
1	↓	0	0	1
1	↓	1	1	0
1	↓	1	Conmuta	

Figura 6-14 Flip-flop JK con entrada directa de puesta a cero

pulso de reloj. Estas entradas son útiles para llevar todos los flip-flops a su estado inicial antes de empezar su operación temporizada. Por ejemplo, cuando se suministra potencia por primera vez a un sistema digital el estado de los flip-flops es indeterminado. El interruptor de *puesta a cero* llevará a todos los flip-flops a un estado inicial de *cero* y el interruptor de *comienzo* (start) empezará la operación de temporizado del sistema. El interruptor de puesta a cero debe "limpiar" todos los flip-flops asincrónicamente sin la necesidad de un pulso.

El símbolo gráfico de un flip-flop maestro esclavo con una entrada de puesta a cero directa se muestra en la Figura 6-14. La entrada de reloj o CP tiene un círculo debajo del pequeño triángulo para indicar que las salidas cambian durante la transición negativa del pulso. (La ausencia del pequeño círculo indicaría un flip-flop disparado por flanco positivo). La entrada de puesta a cero directa tiene también un pequeño círculo para indicar que, normalmente, esta entrada debe mantenerse en 1. Si la entrada de puesta a cero se mantiene en 0, el flip-flop permanece en cero independientemente de otras entradas o del pulso de reloj. La tabla de función especifica la operación del circuito. Las X son condición de no importa que indican que un 0 en la entrada directa de puesta a cero inhabilita todas las entradas. Solamente cuando la entrada de puesta a cero es 1 tendría efecto la transición negativa del reloj en las salidas. Las salidas no cambian si $J = K = 0$. El flip-flop conmuta o se complementa cuando $J = K = 1$. Algunos flip-flops pueden tener también una entrada directa de puesta a uno la cual pone la salida Q en (y Q' en 0) asincrónicamente.

Cuando las entradas sincrónicas directas están presentes en un flip-flop maestro esclavo, deben estar conectadas al maestro y al esclavo para poder superponerse a las otras entradas y al reloj. Una entrada directa de puesta a cero en el flip-flop JK maestro esclavo de la Figura 6-10 se conecta a las entradas de las compuertas 1, 4 y 8. Una entrada de puesta a cero en el flip-flop D de disparo por flanco de la Figura 6-12 se conecta a las entradas de las compuertas 2 y 6.

6-4 ANALISIS DE LOS CIRCUITOS SECUENCIALES TEMPORIZADOS

El comportamiento de los circuitos secuenciales se determina de las entradas, las salidas y los estados de los flip-flops. Ambas entradas y el

siguiente estado son una función de las entradas y el presente estado. El análisis de los circuitos secuenciales consiste en obtener una tabla o un diagrama de la secuencia de tiempo de las entradas, salidas y estados internos. Es posible escribir expresiones de Boole que describan el comportamiento de los circuitos secuenciales. Sin embargo, estas expresiones deben incluir la secuencia de tiempos necesaria directa o indirectamente.

Un diagrama lógico se reconoce como el circuito del circuito secuencial si este incluye flip-flops. Los flip-flops pueden ser de cualquier tipo y el diagrama lógico puede o no incluir compuertas combinacionales. En esta sección, se introduce primero un ejemplo de circuito secuencial temporizado y luego se presentan varios métodos para describir el comportamiento de los circuitos secuenciales. Un ejemplo específico se usará a lo largo de la discusión para ilustrar los diferentes métodos.

Un ejemplo de un circuito secuencial

Un ejemplo de un circuito secuencial temporizado se muestra en la Figura 6-15. Tiene una variable de entrada, una variable de salida y dos flip-flops temporizados *RS* llamados *A* y *B*. Las conexiones realimentadas de las salidas de los flip-flops a las entradas de las compuertas no se muestran en el dibujo para facilitar el trazado del mismo. En vez de ello, se reconocen las conexiones por su letra marcada en cada entrada. Por ejemplo, la entrada marcada *x'* en la compuerta 1 designa una entrada del complemento de *x*. La segunda marcada *A* designa una conexión a la salida normal del flip-flop *A*.

Se asume que hay disparo por flanco negativo en ambos flip-flops y en la fuente que produce la entrada externa *x*. Por tanto, las señales para

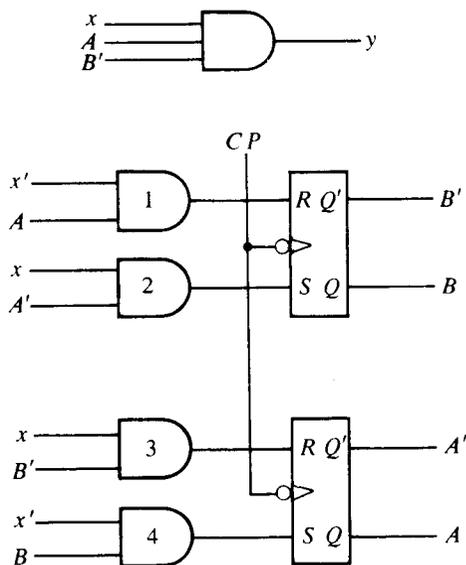


Figura 6-15 Ejemplo de un circuito secuencial temporizado

un estado presente dado están disponibles durante el tiempo en que se determina un pulso de reloj y el siguiente, en cuyo momento el circuito pasa al siguiente estado.

Tabla de estado

La secuencia de tiempo de las entradas, salidas y estados de los flip-flops pueden enumerarse en una *tabla de estado*.* La tabla de estado para el circuito de la Figura 6-15 se muestra en la Tabla 6-1. Ella consiste en tres secciones llamadas *estado presente*, *estado siguiente* y *salida*. El *estado presente* designa los estados de los flip-flops antes de la ocurrencia de un pulso de reloj. El *estado siguiente* muestra los estados de los flip-flops después de la aplicación del pulso de reloj y la sección de *salida* lista los valores de las variables de salida durante el presente estado. Las secciones de estado siguiente y de salida tienen dos columnas, una para $x = 0$ y la otra para $x = 1$.

Tabla 6-1 Tabla de estado para el circuito de la Figura 6-15

Estado presente	Estado siguiente		Salida	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
<i>AB</i>	<i>AB</i>	<i>AB</i>	<i>y</i>	<i>y</i>
00	00	01	0	0
01	11	01	0	0
10	10	00	0	1
11	10	11	0	0

La deducción de la tabla de estado comienza a partir de un estado inicial asumido. El estado inicial de la mayoría de los circuitos secuenciales prácticos se define como el estado con ceros en todos los flip-flops. Algunos circuitos secuenciales tienen un estado inicial diferente y algunos no tienen ninguno. En cada caso, el análisis puede comenzar a partir de cualquier estado arbitrario. En este ejemplo, se comienza derivando la tabla de estado comenzando con el estado inicial 00.

Cuando el presente estado es 00, $A = 0$ y $B = 0$. Del diagrama lógico, se observa que con los flip-flops en cero y $x = 0$, ninguna de las compuertas AND produce una señal lógica 1. Por tanto, el siguiente estado permanece sin cambiar. Con $AB = 00$ y $x = 1$, la compuerta 2 produce una señal lógica 1 en la entrada *S* del flip-flop *B* y la compuerta 3 produce una señal lógica 1 en la entrada *R* del flip-flop. Cuando un pulso de reloj dispara los flip-flops, *A* se pone a cero y *B* se pone a uno, produciendo el siguiente estado 01. Esta información se lista en la primera fila de la tabla de estado.

*Los libros de teoría de los circuitos de conmutación llaman a esta tabla *tabla de transición*. Ellos reservan el nombre *tabla de estado* a una tabla con estados internos representados por símbolos arbitrarios.

De manera similar, se puede deducir el siguiente estado comenzando a partir de los otros tres estados presentes posibles. En general, el siguiente estado es una función de las entradas, el estado presente y el tipo de flip-flop usado. Con flip-flops *RS* por ejemplo, se debe recordar que un 1 en la entrada *S* pone en 1 el flip-flop y un 1 en la entrada *R* lo pone a cero independientemente del estado anterior. Un 0 en ambas entradas *S* y *R* deja el flip-flop sin cambio, mientras que un 1 en ambas entradas *S* y *R* demostraría un diseño malo y una tabla de estado indeterminada.

Las entradas para la sección de salida son más fáciles de deducir. En este ejemplo, la salida *y* es igual a 1 solamente cuando $x = 1$, $A = 1$ y $B = 0$. Por tanto, las columnas de salida se marcan con 0, excepto cuando el estado presente es 10 y la entrada $x = 1$, para la cual *y* se marca con un 1.

La tabla de estado de cualquier circuito secuencial se obtiene por el mismo procedimiento usado en el ejemplo. En general, un circuito secuencial con *m* flip-flops y *n* variables de entrada tendrá 2^m filas, una para cada estado. Las secciones del siguiente estado y de salida tendrán cada una 2^n columnas, una para cada combinación de entrada.

Las salidas externas para un circuito secuencial pueden venir de compuertas lógicas o elementos de memoria. La sección de salida en el estado estable es necesaria solamente si hay tres salidas de las compuertas lógicas. Cualquier salida externa tomada directamente de un flip-flop se lista en la columna de presente estado de la tabla de estado. Por tanto la sección de salida de la tabla de estado puede ser excluida si no hay salidas externas de las compuertas lógicas.

Diagrama de estado

La información disponible en la tabla de estado puede representarse gráficamente en un *diagrama de estado*. En este diagrama se representa un estado por un círculo y la transición entre estados se indica por líneas dirigidas que conectan los círculos. El diagrama de estado del circuito secuencial de la Figura 6-15 se muestra en la Figura 6-16. El número binario dentro de cada círculo identifica el estado representado por el

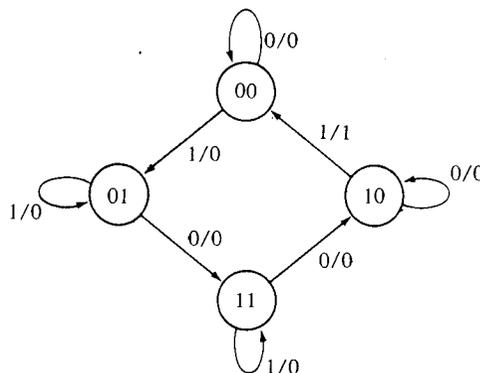


Figura 6-16 Diagrama de estado para el circuito de la Figura 6-15

círculo. Las líneas dirigidas se marcan con dos números binarios separados por /. El valor de entrada que causa la transición de estado se marca primero; el número en seguida del símbolo / da el valor de la salida durante el presente estado. Por ejemplo, la línea dirigida del estado 00 a 01 marcada 1/0, significa que el circuito secuencial está en el estado presente 00 mientras que $x = 1$ y $y = 0$ y que al finalizar el siguiente pulso de reloj, el circuito va al siguiente estado 01. Una línea dirigida que conecta un círculo a sí mismo indica que no hay cambio de estado. El diagrama de estado suministra la misma información que la tabla de estado y se obtiene directamente de la Tabla 6-1.

No hay diferencia entre una tabla de estado y un diagrama de estado excepto en la forma de la presentación. La tabla de estado es más fácil de deducir a partir de un diagrama de lógica dado y el diagrama de estado se desprende directamente de la tabla de estado. El diagrama de estado da una vista pictórica de las transiciones de estado y está en una forma disponible para interpretación binaria de la operación del circuito. El diagrama de estado se usa a menudo como la especificación de diseño inicial de un circuito secuencial.

Ecuaciones de estado

Una *ecuación de estado* (también conocida como una *ecuación de aplicación*) es una expresión algebraica que especifica las condiciones para la transición de estado de un flip-flop. El lado izquierdo de la ecuación denota el estado siguiente del flip-flop y el lado derecho una función de Boole que especifica las condiciones del presente estado que hacen el siguiente estado igual a 1. Una ecuación de estado es similar en forma a una ecuación característica de un flip-flop, excepto que especifica las condiciones del siguiente estado en términos de las variables de entrada externas y otros valores de los flip-flops. La ecuación de estado se deriva directamente de la tabla de estado. Por ejemplo, la ecuación de estado para un flip-flop A se deriva por inspección de la Tabla 6-1. De las siguientes columnas de estado, se nota que el flip-flop A va al estado 1 cuatro veces: cuando $x = 0$ y $AB = 01$ ó 10 ú 11 , o cuando $x = 1$ y $AB = 11$. Esto puede expresarse algebraicamente en la ecuación de estado de la siguiente manera:

$$A(t + 1) = (A'B + AB' + AB)x' + ABx$$

El lado derecho de la ecuación de estado es una función de Boole para un *estado presente*. Cuando esta función es igual a 1, la ocurrencia de los pulsos de reloj causa que el flip-flop A tenga el siguiente estado de 1. Cuando una función es igual a 0, el pulso de reloj causará que A tenga el siguiente estado de 0. El lado izquierdo de la ecuación identifica los flip-flops por un símbolo de letra seguido de una designación en función de tiempo ($t + 1$), para enfatizar que este valor sea alcanzado por el flip-flop, un pulso posterior de la secuencia.

La ecuación de estado es una función de Boole con un tiempo incluido. Es aplicable solamente en los circuitos secuenciales de reloj, ya que $A(t + 1)$ se define para que cambie de valor con la ocurrencia del pulso de reloj en instantes discretos de tiempo.

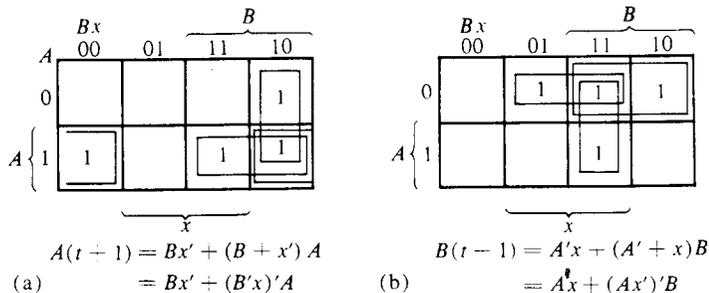


Figura 6-17 Ecuaciones de estado para los flip-flops A y B

La ecuación de estado de un flip-flop A se simplifica por medio de un mapa como se muestra en la Figura 6-17(a). Con alguna manipulación algebraica, la función puede expresarse de la siguiente forma:

$$A(t+1) = Bx' + (B'x)'A$$

Si se deja que $Bx' = S$ y $B'x = R$, se obtiene la siguiente relación:

$$A(t+1) = S + R'A$$

la cual es una ecuación característica de un flip-flop RS [Figura 6-4(d)]. Esta relación entre la ecuación de estado y las ecuaciones características del flip-flop puede justificarse por inspección del diagrama lógico de la Figura 6-15. En este se ve que la entrada S del flip-flop A es igual a la función de Boole Bx' y la entrada R es igual a $B'x$. Sustituyendo estas funciones en la ecuación característica del flip-flop, dará como resultado la ecuación de estado para este circuito secuencial.

La ecuación de estado para un flip-flop en un circuito secuencial puede deducirse de una tabla de estado o de un diagrama lógico. La deducción de una tabla de estado consiste en obtener la función de Boole especificando las condiciones que hacen el siguiente estado del flip-flop un 1. La deducción a partir de un diagrama lógico consiste en obtener las funciones de las entradas del flip-flop y sustituirlas en la ecuación característica de la misma.

La derivación de la ecuación de estado del flip-flop B a partir de una tabla de verdad se muestra en el mapa de la Figura 6-17(b). Los 1 marcados en el mapa son las entradas presentes y las combinaciones de entrada que causan que el flip-flop vaya al siguiente estado de 1. Estas condiciones se obtienen directamente de la Tabla 6-1. La forma simplificada que se obtiene en el mapa se manipula algebraicamente y la ecuación de estado que se obtiene es:

$$B(t+1) = A'x + (Ax')'B$$

La ecuación de estado puede derivarse directamente a partir del diagrama lógico. De la Figura 6-15 se observa que la señal para la entrada S del flip-flop B se genera por la función $A'x$ y la señal para la entrada R

por la función Ax' . Sustituyendo $S = A'x$ y $R = Ax'$ en la ecuación característica del flip-flop RS dada por:

$$B(t + 1) = S + R'B$$

se obtiene la ecuación de estado derivada anteriormente.

Las ecuaciones de estado de todos los flip-flops, conjuntamente con las funciones de salida, especifican totalmente un circuito secuencial. Ellas representan, algebraicamente, la misma información que representa una tabla de estado en forma tabular y un diagrama de estado representa una forma gráfica.

Funciones de entrada de un flip-flop

El diagrama lógico de un circuito secuencial consiste en elementos de memoria y compuertas. La clase de flip-flops y la tabla característica especifican las propiedades lógicas de los elementos de memoria. Las interconexiones entre las compuertas forman un circuito combinacional y se pueden expresar algebraicamente con funciones de Boole. Así, un conocimiento del tipo de flip-flops y una lista de las funciones de Boole del circuito combinacional darán toda la información necesaria para dibujar el diagrama lógico de un circuito secuencial. La parte del circuito combinacional que genera las salidas externas se describe algebraicamente por las *funciones de salida del circuito*. La parte del circuito que genera las entradas de los flip-flops se describe algebraicamente por un conjunto de funciones de Boole llamadas *funciones de entrada del flip-flop* o algunas veces *ecuaciones de entrada*.

Se adoptará la convención de usar dos letras para designar una variable de entrada de un flip-flop: la primera designa el nombre de las entradas y la segunda el nombre del flip-flop. Como un ejemplo, considérese las siguientes funciones de entrada de un flip-flop:

$$JA = BC'x + B'Cx'$$

$$KA = B + y$$

JA y KA designan las variables de Boole. La primera letra en cada una denota la entrada J y K respectivamente del flip-flop JK . La segunda letra A es el símbolo nombre del flip-flop. El lado derecho de cada ecuación es una función de Boole para la correspondiente variable de entrada del flip-flop. La configuración de las dos funciones de entrada se muestra en el diagrama lógico de la Figura 6-18. El flip-flop JK tiene un símbolo de salida A y dos entradas marcadas J y K . El circuito combinacional dibujado en el diagrama es la configuración de una expresión algebraica dada por las funciones de entrada. Las salidas del circuito combinacional se designan por JA y KA en las funciones de salida y van a las entradas J y K del flip-flop A .

De este ejemplo, se observa que la función de entrada del flip-flop es una expresión algebraica para un circuito combinacional. La designación de dos letras es el nombre de una variable para una *salida* de un circuito combinacional. Esta *salida* se conecta siempre a la *entrada* (designada por la primera letra) del flip-flop (designado por la segunda letra).

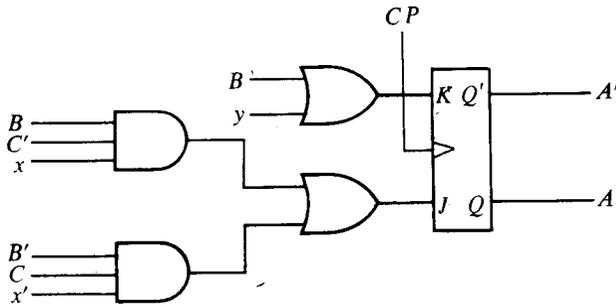


Figura 6-18 Configuración de las funciones de entrada de un flip-flop
 $JA = BC'x + B'Cx'$ y $KA = B + y$

El circuito secuencial de la Figura 6-15 tiene una entrada x , una entrada y y dos flip-flops RS denotados por A y B . El diagrama lógico puede ser expresado algebraicamente con cuatro funciones de entrada del flip-flop y una función de salida del circuito como sigue:

$$\begin{aligned} SA &= Bx' & RA &= B'x \\ SB &= A'x & RB &= Ax' \\ y &= AB'x \end{aligned}$$

Este conjunto de funciones de Boole especifica totalmente el diagrama lógico. Las variables SA y RA especifican el flip-flop RS llamado A ; las variables SB y RB especifican un segundo flip-flop RS denotado por B . La variable y denota la salida. Las expresiones de Boole para las variables especifican parte del circuito combinacional del circuito secuencial.

Las funciones de entrada del flip-flop constituyen una forma algebraica conveniente para especificar un diagrama lógico de un circuito secuencial. Ellas implican el tipo de flip-flop a partir de la primera letra de la variable de entrada y especifican completamente el circuito combinacional que maneja el flip-flop. El tiempo no se incluye explícitamente en estas ecuaciones pero está comprendido a partir de la operación del pulso de reloj. Es conveniente algunas veces especificar algebraicamente un circuito secuencial con funciones de salida del circuito y funciones de entrada del flip-flop en vez de dibujar el diagrama lógico.

6-5 REDUCCION DE ESTADOS Y ASIGNACION*

El análisis de los circuitos secuenciales comienza de un diagrama de circuito y culminan en una tabla de estado o diagrama. El diseño de un circuito secuencial parte de una serie de especificaciones y culmina en un diagrama lógico. Los procedimientos de diseño se presentan comenzando por la Sección 6-7. Esta sección incluye ciertas propiedades de los circuitos secuenciales que pueden ser usados para reducir el número de compuertas y flip-flops durante el diseño.

*Esta sección se puede omitir sin perder continuidad.

Reducción de estado

Cualquier procedimiento de diseño debe considerar el problema de minimizar el costo del circuito final. Las dos reducciones de costo más obvias son las reducciones en el número de flip-flops y el número de compuertas. Debido a que estos dos ítems son los más obvios, se han estudiado e investigado extensamente. De hecho, una gran porción del objetivo de la teoría de conmutación trata la manera de buscar algoritmos para minimizar el número de flip-flops y compuertas en los circuitos secuenciales.

La reducción del número de flip-flops en un circuito secuencial se conoce como *la reducción de estado* del problema. Los algoritmos de reducción de estado tratan con los procedimientos para reducir el número de estados en la tabla de estado mientras mantiene los requerimientos de entrada-salida externos sin cambio. Como m flip-flops producen 2^m estados, una reducción en el número de estados podría (o no podría) resultar en una reducción en el número de flip-flops. Un efecto impredecible en la reducción del número de flip-flops es que algunas veces el circuito equivalente (con menos flip-flops) podría requerir más compuertas combinatoriales.

Se demostrará la necesidad de reducción de estado con un ejemplo. Se comienza con un circuito secuencial cuya especificación se da en el diagrama de estado de la Figura 6-19. En este ejemplo, solamente las secuencias de entrada-salida son importantes; los estados internos se usan solamente para suministrar las secuencias requeridas. Por esta razón, los estados marcados dentro de los círculos se denotan por símbolos de letras en vez de sus valores binarios. Esto es en contraste a un contador binario, donde la secuencia de valores binarios de los estados en sí mismos se toman como salidas.

Hay un número infinito de secuencias de entrada que puede ser aplicado al circuito; cada uno dará como resultado una secuencia única de salida. Como ejemplo, considérese la secuencia de entrada 01010110100 empezando por el estado inicial a . Cada entrada de 0 ó 1 produce una sa-

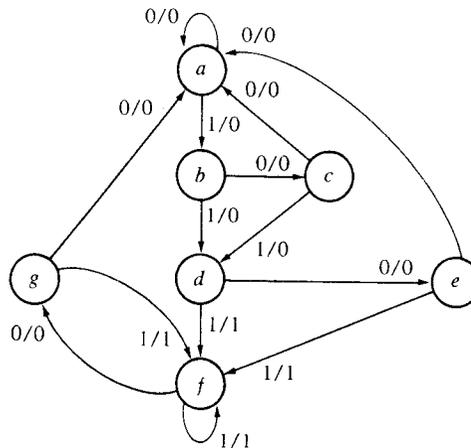


Figura 6-19 Diagrama de estado

lida de 0 ó 1 y causa que el circuito vaya al siguiente estado. De este diagrama de estado, se obtiene la salida y secuencia de estado para una secuencia dada de entrada como sigue: con el circuito en el estado inicial *a*, una entrada de 0 produce una salida de 0 y el circuito permanece en el estado *a*. Con el estado presente *a* y una entrada de 1, la salida es 0 y el siguiente estado es *b*. Con el estado presente *b* y una entrada de 0, la salida es 0 y el siguiente estado es *c*. Continuando este proceso, se encontrará que la secuencia completa es como sigue:

estado	<i>a</i>	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>f</i>	<i>g</i>	<i>f</i>	<i>g</i>	<i>a</i>
entrada	0	1	0	1	0	1	1	0	1	0	0	
salida	0	0	0	0	0	1	1	0	1	0	0	

En cada columna, se tiene el estado presente, el valor de la entrada y el valor de la salida. El siguiente estado se escribe encima de la siguiente columna. Es importante tener en cuenta que en este circuito los estados en sí mismos son de importancia secundaria porque el interés primordial son las secuencias de salida causadas por las secuencias de entrada.

Asúmase ahora que se tiene un circuito secuencial cuyo diagrama de estado tiene menos de siete estados y se desea compararlo con el circuito cuyo diagrama de estado se da en la Figura 6-19. Si se aplican secuencias de entrada directas a los dos circuitos y ocurren salidas idénticas para todas las secuencias de entrada, entonces se dice que los dos circuitos son equivalentes (en lo que se refiere a la entrada-salida) y se pueden reemplazar entre sí. El problema de la reducción de estado es encontrar maneras de reducir el número de estados en un circuito secuencial sin alterar las relaciones de entrada-salida.

Se procederá a reducir el número de estados de este ejemplo. Primero, se necesita una tabla de estado; es más conveniente aplicar los procedimientos para la reducción de estados aquí que en los diagramas de estado. La tabla de estado del circuito se lista en la Tabla 6-2 y se obtiene directamente del diagrama de estado de la Figura 6-19.

Tabla 6-2 Tabla de estado

Estado presente	Estado siguiente		Salida	
	<i>x</i> = 0	<i>x</i> = 1	<i>x</i> = 0	<i>x</i> = 1
<i>a</i>	<i>a</i>	<i>b</i>	0	0
<i>b</i>	<i>c</i>	<i>d</i>	0	0
<i>c</i>	<i>a</i>	<i>d</i>	0	0
<i>d</i>	<i>e</i>	<i>f</i>	0	1
<i>e</i>	<i>a</i>	<i>f</i>	0	1
<i>f</i>	<i>g</i>	<i>f</i>	0	1
<i>g</i>	<i>a</i>	<i>f</i>	0	1

Un algoritmo para la reducción de estado de una tabla de estado especificada completamente se da aquí sin prueba alguna: "Se dice que dos estados son equivalentes si, por cada miembro del conjunto de entradas, ellos dan exactamente la misma salida y envían al circuito al mismo estado o a un estado equivalente. Cuando dos estados son equivalentes, uno de ellos puede quitarse sin alterar las relaciones de entrada-salida".

Se aplicará este algoritmo a la Tabla 6-2. Observando la tabla de verdad, se escogen los estados presentes que van al estado siguiente y que tienen la misma salida para ambas combinaciones de entrada. Los estados g y e son dos de tales estados; ellos van a los estados a y f y tienen las salidas de 0 y 1 para $x=0$ y $x=1$ respectivamente. Por tanto, los estados g y e son equivalentes y se puede eliminar uno. El procedimiento para quitar un estado y de remplazarlo por un equivalente se demuestra en la Tabla 6-3. La fila con el estado presente g se tacha y el estado g se remplacea por el estado e cada vez que aparezca en las siguientes columnas de estado.

Tabla 6-3 Reduciendo la tabla de estado

Estado presente	Estado siguiente		Salida	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
a	a	b	0	0
b	c	d	0	0
c	a	d	0	0
d	e	fd	0	1
e	a	fd	0	1
f	ge	f	0	1
g	a	f	0	1

El estado presente f tiene ahora las entradas siguientes e y f y las salidas 0 y 1 para $x=0$ y $x=1$ respectivamente. Los mismos estados siguientes y las salidas aparecen en la fila con el estado presente d . Por tanto, las entradas f y d son equivalentes, el estado f puede quitarse y remplazarse por d . La tabla reducida final se muestra en la Tabla 6-4. El diagrama de estado para la tabla reducida consiste en solamente cinco estados y se muestra en la Figura 6-20. Este diagrama de estado satisface las especializaciones originadas de entrada-salida y producirá la secuencia de salida requerida para una secuencia dada de entrada. La siguiente lista deducida del diagrama de estado de la Figura 6-20 es para la secuencia de entrada usada previamente. Se nota que resulta la misma secuencia de salida aunque la secuencia de estado es diferente:

estado	a	a	b	c	d	e	d	d	e	d	e	a
entrada	0	1	0	1	0	1	1	0	1	0	0	
salida	0	0	0	0	0	1	1	0	1	0	0	

De hecho, esta secuencia es exactamente la misma que se obtuvo de la Figura 6-19, si se reemplaza *e* por *g* y *d* por *f*.

Tabla 6-4 Tabla de estado reducida

Estado presente	Estado siguiente		Salida	
	<i>x</i> = 0	<i>x</i> = 1	<i>x</i> = 0	<i>x</i> = 1
<i>a</i>	<i>a</i>	<i>b</i>	0	0
<i>b</i>	<i>c</i>	<i>d</i>	0	0
<i>c</i>	<i>a</i>	<i>d</i>	0	0
<i>d</i>	<i>e</i>	<i>d</i>	0	1
<i>e</i>	<i>a</i>	<i>d</i>	0	1

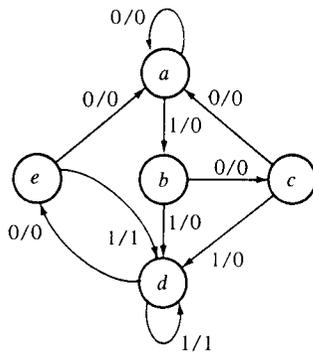


Figura 6-20 Diagrama de estado reducido

De cualquier forma, la reducción de siete a cinco estados no reduce el número de flip-flops. En general, la reducción del número de estados de una tabla de estado se espera que resulte en un circuito con menos equipo. Sin embargo, el hecho de que una tabla de estado haya sido reducida a menos estados no garantiza un ahorro en el número de flip-flops o el número de compuertas.

Vale la pena notar que la reducción en el número de estados de un circuito secuencial es posible si se interesa solamente en las relaciones externas de entrada-salida. Cuando las salidas externas se toman directamente de los flip-flops, las salidas deben ser independientes del número de estados de que se apliquen los algoritmos de reducción de estados.

El circuito secuencial de este ejemplo fue reducido de siete a cinco estados. En cada caso, la representación de los estados con componentes físicos requieren que se usen tres flip-flops, porque *m* flip-flops pueden representar hasta 2^m estados diferentes. Con tres flip-flops, se pueden formular hasta seis estados binarios denotados por los números binarios 000 hasta 111, con cada bit designando el estado de un flip-flop. Si la tabla de estado de la Tabla 6-2 se usa, se deben asignar valores binarios a los siete estados; el estado restante no se usa. Si se usa la tabla de estado

de la Tabla 6-4, solamente cinco estados necesitan asignación binaria y quedarían tres estados sin usar. Los estados sin usar se tratan como condiciones de no importa durante el diseño del circuito. Como las combinaciones de no importa por lo general ayudan a obtener una función de Boole más simple, de manera parecida el circuito con cinco estados necesitará menos compuertas combinacionales que aquella con siete estados. De cualquier forma, la reducción de siete a cinco estados no reduce el número de flip-flops. En general, la reducción del número de estados de una tabla de estado se espera que resulte en un circuito con menos equipo. Sin embargo, el hecho de que una tabla de estado haya sido reducida a menos estados no garantiza un ahorro en el número de flip-flops o el número de compuertas.

Asignación de estado

El costo de la parte de circuito combinacional de un circuito secuencial puede reducirse usando los métodos de simplificación conocidos para los circuitos combinacionales. Sin embargo, hay otro factor, conocido como el problema de *asignación de estado*, que entra en juego para la minimización de las compuertas combinacionales. Los procedimientos de asignación de estado tienen que ver con los métodos para la asignación de valores binarios o estados de tal forma que se reduce el costo de los circuitos combinacionales que accionan los flip-flops. Esto es particularmente útil cuando se observa un circuito secuencial a partir de sus terminales externos de entrada-salida. Tal circuito puede seguir una secuencia de estados internos, pero los valores binarios de los estados individuales podrían no tener ninguna consecuencia todo el tiempo en que el circuito produzca la secuencia seguida de salidas para una secuencia dada de entradas. Esto no se aplica a los circuitos cuyas salidas externas se toman directamente de los flip-flops con secuencias binarias totalmente especificadas.

Las alternativas de asignación de estado binario disponibles pueden ser demostradas conjuntamente con el circuito secuencial especificado en la Tabla 6-4. Recuérdese que, en este ejemplo, los valores binarios de los estados son inmateriales durante el tiempo en que su secuencia mantenga las relaciones de entrada-salida adecuadas. Por esta razón, cualquier asignación de número binario es satisfactoria siempre que a cada estado se le asigne un número. Tres ejemplos de asignaciones binarias posibles se muestran en la Tabla 6-5 para los cinco estados de la tabla reducida. La asignación 1 es una asignación binaria directa para la secuencia de estados desde *a* hasta *e*. Las otras dos asignaciones se escogen arbitrariamente. De hecho, hay 140 asignaciones diferentes para este circuito (11).

La Tabla 6-6 es la tabla de estado reducida con la asignación binaria 1 sustituida por las letras de los cinco estados.* Es obvio que una asignación binaria diferente resultará en una tabla de estado con valores binarios diferentes para los estados, mientras que las selecciones de entrada-salida permanecen iguales. La forma binaria de la tabla de estado se usa para deducir la parte del circuito combinacional del circuito se-

*Una tabla de estado con asignación binaria se llama algunas veces *tabla de transición*.

Tabla 6-5 Tres asignaciones binarias de estado posibles

Estado	Asignación 1	Asignación 2	Asignación 3
<i>a</i>	001	000	000
<i>b</i>	010	010	100
<i>c</i>	011	011	010
<i>d</i>	100	101	101
<i>e</i>	101	111	011

Tabla 6-6 Tabla de estado reducido con asignación binaria 1

Estado presente	Estado siguiente		Salida	
	<i>x</i> = 0	<i>x</i> = 1	<i>x</i> = 0	<i>x</i> = 1
001	001	010	0	0
010	011	100	0	0
011	001	100	0	0
100	101	100	0	1
101	001	100	0	1

cuencial. La complejidad del circuito combinacional obtenido, depende de la asignación del estado binario escogido. El diseño del circuito secuencial presentado en esta sección se completa en el Ejemplo 6-1 de la Sección 6-7.

Varios procedimientos se han sugerido para llevar a una asignación binaria particular entre las muchas disponibles. El criterio más común es que la asignación escogida debe resultar en un circuito combinacional simple para las entradas del flip-flop. Sin embargo, hasta el momento, no hay procedimientos de asignación de estado que garanticen un costo mínimo de un circuito combinacional. La asignación de estado es uno de los problemas desafiantes de la teoría de conmutación. El lector interesado puede encontrar mucha literatura completa y creciente de este tópico. Las técnicas para tratar con el problema de asignación de estado se salen del objetivo de este libro.

6-6 TABLAS DE EXCITACION DE LOS FLIP-FLOPS

Las tablas características para varios flip-flops fueron presentadas en la Sección 6-2. Una tabla característica define la propiedad lógica del flip-flop y caracteriza completamente su operación. Los flip-flops de circuito integrado se definen algunas veces por una tabla característica tabulada de manera diferente. Esta segunda forma de las tablas características para los flip-flops *RS*, *JK*, *D* y *T* se muestran en la Tabla 6-7. Ellas representan la misma información que las tablas características de las Figuras 6-4(c) hasta 6-7(c).

La Tabla 6-7(c) define el estado de cada flip-flop como función de sus entradas y su estado previo. $Q(t)$ se refiere al presente estado y $Q(t+1)$

Tabla 6-7 Tablas características del flip-flop

S	R	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	?

(a) RS

J	K	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$Q'(t)$

(b) JK

D	$Q(t+1)$
0	0
1	1

(c) D

T	$Q(t+1)$
0	$Q(t)$
1	$Q'(t)$

(d) T

al estado siguiente después de la ocurrencia de un pulso de reloj. La tabla característica del flip-flop RS muestra que el siguiente estado es igual al presente estado cuando las entradas S y R son ambas 0. Cuando la entrada R es igual a 1, el siguiente pulso de reloj pone a cero el flip-flop. Cuando la entrada S es igual a 1 el siguiente pulso de reloj pone a 1 el flip-flop. La interrogación para el siguiente estado cuando ambos S y R sean iguales a 1 designa simultáneamente un estado siguiente indeterminado.

La tabla del flip-flop JK es la misma que la del RS cuando se reemplaza J y K por S y R respectivamente, excepto en el caso indeterminado. Cuando J y K son ambos iguales a 1, el estado siguiente es igual al complemento del presente estado, es decir, $Q(t+1) = Q'(t)$. El siguiente estado del flip-flop D es completamente dependiente de la entrada D e independiente del estado presente. El siguiente estado del flip-flop T es el mismo que el estado presente si $T=0$ y complementando si $T=1$.

La tabla característica es útil para el análisis y la definición de la operación del flip-flop. Esta especifica el estado siguiente cuando las entradas y el estado presente se conocen. Durante el proceso de diseño se conoce por lo general la transición del presente estado al siguiente y se desea encontrar las condiciones de entrada del flip-flop que causen la transición requerida. Por esta razón, se necesita una tabla que liste las entradas necesarias para un cambio de estado dado. Tal lista se llama una *tabla de excitación*.

La Tabla 6-8 presenta las tablas de excitación de los cuatro flip-flops. Cada tabla consiste en dos columnas, $Q(t)$ y $Q(t+1)$, y una columna para cada entrada para mostrar cómo se logra la transición requerida. Hay cuatro transiciones posibles del presente estado al siguiente. Las condiciones de entrada requeridas para cada una de las cuatro transiciones se derivan de la información disponible en la tabla característica. El símbolo X en las tablas representa la condición de no importa, es decir, no importa que la entrada sea 1 ó 0.

Tabla 6-8 Tablas de excitación de los flip-flops

$Q(t)$	$Q(t + 1)$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

(a) RS

$Q(t)$	$Q(t + 1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

(b) JK

$Q(t)$	$Q(t + 1)$	D
0	0	0
0	1	1
1	0	0
1	1	1

(c) D

$Q(t)$	$Q(t + 1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

(d) T

Flip-flop RS

La tabla de excitación del flip-flop RS se muestra en la Tabla 6-8(a). La primera fila muestra el flip-flop en el estado 0 en el tiempo t . Se desea dejarlo en el estado 0 después de la ocurrencia del pulso. De la tabla característica, se encuentra que si S y R son ambos 0, el flip-flop no cambiará estado. Por tanto, ambas entradas S y R deben ser 0. Sin embargo, no importa si se hace R un 1 cuando ocurre el pulso, ya que resulta dejando el flip-flop en el estado 0. Así, R puede ser 1 ó 0 y el flip-flop permanecerá en el estado 0 en $t + 1$. Por tanto, la entrada debajo de R se marca por la condición X de no importa.

Si el flip-flop está en el estado 0 y se desea que vaya al estado 1, entonces a partir de la tabla característica, se encuentra que la única forma de hacer $Q(t + 1)$ igual a 1 es hacer $S = 1$ y $R = 0$. Si el flip-flop va a tener una transición del estado 1 al estado 0 se debe tener $S = 0$ y $R = 1$.

La última condición que puede ocurrir en un flip-flop es estar en el estado 1 y permanecer en ese mismo estado. Ciertamente R debe ser 0 ya que no se requiere poner a 0 el flip-flop. Sin embargo S debe ser 0 ó 1. Si es 0, el flip-flop no cambia y permanece en el estado 1; si es 1 se llevará el flip-flop al estado 1 como se desea. Así, S se lista como una condición de no importa.

El flip-flop JK

La tabla de excitación para el flip-flop JK se muestra en la Tabla 6-8(b). Cuando ambos estado presente y estado siguiente sean 0, la entrada J debe permanecer en 0 y la entrada K puede ser 0 ó 1. Similarmente cuando

el estado presente y siguiente sean 1, la entrada K debe permanecer en 0 mientras que la entrada J puede ser 0 ó 1. Si el flip-flop va a tener una transición del estado 0 al estado 1, J debe ser igual a 1 ya que la entrada J pone a 1 el flip-flop. Sin embargo, la entrada K puede ser 0 ó 1. Si $K = 0$, la condición $J = 1$ pone a uno el flip-flop como se requiere; si $K = 1$ y $J = 1$, el flip-flop se complementa y va del estado 0 al estado 1 como se requiere. De esta manera la entrada K se marca con una condición de no importa para la transición de 0 a 1. Para una transición del estado 1 al estado 0, se debe tener $K = 1$ ya que la entrada K pone a 0 el flip-flop. Pero, la entrada J puede ser 0 ó 1, como $J = 0$ no tiene efecto, y $J = 1$ conjuntamente con $K = 1$ complementa el flip-flop con una transición resultante del estado 1 al estado 0.

La tabla de excitación del flip-flop JK ilustra la ventaja de usar este tipo al diseñar los circuitos secuenciales. El hecho de que tiene tantas condiciones de no importa indica que los circuitos combinacionales para las funciones de entrada deben ser más simples debido a que las funciones de no importa simplifican usualmente la función.

Flip-flop D

La tabla de excitación para un flip-flop tipo D se muestra en la Tabla 6-8(c). De la tabla característica, Tabla 6-7(c), se nota que el siguiente estado es siempre igual a la entrada D e independiente del estado presente. Por tanto, D debe ser 0 si $Q(t+1)$ tiene que ser 0, y 1 si $Q(t+1)$ tiene que ser 1, independientemente del valor de $Q(t)$.

Flip-flop T

La tabla de excitación para el flip-flop T se muestra en la Tabla 6-8(d). De la tabla característica, Tabla 6-7(d), se encuentra que cuando la entrada $T = 1$ el estado del flip-flop se complementa, cuando $T = 0$ el estado del flip-flop permanece sin cambiar. Por tanto cuando el estado del flip-flop debe permanecer igual, el requerimiento es que $T = 0$. Cuando el estado del flip-flop debe complementarse, T debe ser igual a 1.

Otros flip-flops

El procedimiento de diseño que se va a describir en este capítulo puede ser usado con cualquier flip-flop. Es necesario que se conozca la tabla característica del flip-flop, de la cual es posible desarrollar una nueva tabla de excitación. La tabla de excitación se usa entonces para determinar las funciones de entrada del flip-flop, como se explica en la siguiente sección.

6-7 PROCEDIMIENTO DE DISEÑO

El diseño de un circuito secuencial temporizado comienza a partir de un conjunto de especificaciones y culmina en un diagrama lógico o una lista de funciones de Boole de las cuales se puede obtener el diagrama lógico.

En contraste con el circuito combinacional, el cual está especificado completamente por una tabla de verdad, un circuito secuencial requiere una tabla de verdad para su especificación. El primer paso en el diseño de los circuitos secuenciales es obtener una tabla de estado o una representación equivalente tal como un diagrama de estado o ecuaciones de estado.

Un circuito secuencial sincrónico se hace de flip-flops y compuertas combinacionales. El diseño del circuito consiste en escoger los flip-flops y luego encontrar una estructura de compuertas combinacional, la cual, conjuntamente con los flip-flops, produce un circuito que copia las características enunciadas. El número de flip-flops se determina por el número de estados necesarios en el circuito. El circuito combinacional se deriva de la tabla de estado por los métodos presentados en este capítulo. De hecho, una vez que el tipo y número de los flip-flops se determinen, el proceso de diseño envuelve una transformación del problema del circuito secuencial al problema del circuito combinacional. De esta manera las técnicas de diseño de los circuitos combinacionales pueden aplicarse.

Esta sección presenta un procedimiento para el diseño de los circuitos secuenciales. Aunque su propósito es servir como guía al principiante, este procedimiento puede acortarse con experiencia. Este procedimiento se minimiza mediante una lista de pasos consecutivos que se recomiendan como sigue:

1. Se establece la descripción en palabras del comportamiento del circuito. Esto puede acompañarse por el diagrama de estado, un diagrama de tiempos, u otra información pertinente.
2. De la información dada del circuito se obtiene la tabla de estado.
3. El número de estados puede reducirse por los métodos de reducción de estados si el circuito secuencial puede caracterizarse por las relaciones de entrada-salida independientes del número de estados.
4. Se asignan valores binarios a cada estado si la tabla de estado obtenida en los pasos 2 ó 3 contienen símbolos de letras.
5. Se determina el número de flip-flops necesarios para asignar una letra a cada una.
6. Se escoge el tipo de flip-flops que se va a usar.
7. A partir de las tablas de estado, se deduce la excitación del circuito y las tablas de salida.
8. Usando un mapa o cualquier otro método de simplificación, se deduce las funciones de salida del circuito y las funciones de entrada del flip-flop.
9. Se dibuja el diagrama lógico.

Las especificaciones en palabras del comportamiento del circuito asumen que el lector está familiarizado con la terminología lógica digital. Es necesario que el diseñador use su intuición y experiencia para llegar a la correcta interpretación de las especificaciones del circuito, porque las descripciones en palabras pueden ser incompletas e inexactas. Sin em-

bargo, una vez que se haya establecido tal especificación y se haya obtenido la tabla de estado, es posible hacer uso del procedimiento formal para diseñar el circuito.

La reducción del número de estados y la asignación de valores binarios a los estados fueron discutidos en la Sección 6-5. En los ejemplos que siguen se asume que el número de estados y su asignación binaria es conocida. Como consecuencia, los pasos 3 y 4 del diseño no se consideran en las discusiones subsecuentes.

Ya se ha mencionado antes que el número de flip-flops se determinan por el número de estados. Un circuito puede tener estados binarios sin usar si el número total de estados es menor que 2^m . Los estados no usados se toman como condiciones de no importa durante el diseño de la parte del circuito combinacional del circuito.

El tipo de flip-flop que se va a usar puede incluirse en las especificaciones del diseño o puede depender en aquello que está disponible al diseñador. Muchos sistemas digitales se construyen totalmente con flip-flops *JK* porque ellos son los más versátiles y disponibles. Cuando hay muchas clases de flip-flops disponibles, es aconsejable usar el flip-flop *RS* o *D* para aplicaciones que requieren transferencia de datos (tales como registros de desplazamiento). El tipo *T* para aplicaciones que incluyen complementación (tales como contadores binarios), y el tipo *JK* para aplicaciones generales.

La información de salida externa se especifica en la sección de salida de la tabla de estado. De ella podemos deducir las funciones de salida del circuito. La tabla de excitación del circuito es similar a la de los flip-flops individuales, excepto que las condiciones de entrada son dictadas por la información disponible en el presente estado y las columnas del estado siguiente de la tabla de verdad. El método para obtener la tabla de excitación y las funciones simplificadas de entrada del flip-flop es mejor ilustrarlo con un ejemplo.

Se desea diseñar un circuito secuencial temporizado cuyo diagrama de estado se da en la Figura 6-21. El tipo de flip-flop usado es el *JK*.

El diagrama de estado consiste en cuatro estados con valores binarios ya asignados. Como las líneas designadas se marcan con un solo dígito binario sin una /, se concluye que hay una variable de entrada y

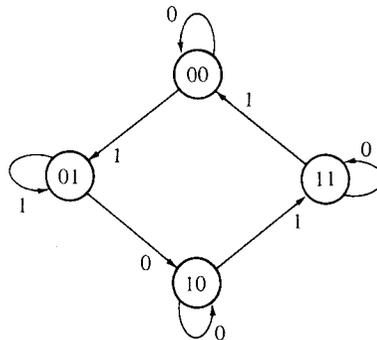


Figura 6-21 Diagrama de estado

ninguna variable de salida. (El estado de los flip-flops puede considerarse como las salidas del circuito.) Los dos flip-flops necesarios para representar los cuatro estados se designan como A y B . La variable de entrada se designa x .

La tabla de estado para este circuito, derivada del diagrama de estado, se muestra en la Tabla 6-9. Nótese que no hay sección de salida para este circuito. Se mostrará ahora el procedimiento para obtener la tabla de excitación y la estructura de la compuerta combinacional.

La derivación de la tabla de excitación se facilitará si se reordena la tabla de estado en forma diferente. Esta forma se muestra en la Tabla 6-10, donde el estado presente y las variables de entrada se reordenan en la forma de tabla de verdad. El valor del estado siguiente para cada estado presente y las condiciones de entrada se copian de la Tabla 6-9. La tabla de excitación del circuito es una lista de condiciones de entrada del flip-flop que causan las transiciones de estado requeridas y es una función del tipo de flip-flop usado. Como este ejemplo especifica flip-flops JK , se necesitan columnas para las entradas J y K del flip-flop A (denotadas por JA y KA) y B (denotadas por JB y KB).

Tabla 6-9 Tabla de estado

Estado presente		Estado siguiente			
		$x = 0$		$x = 1$	
A	B	A	B	A	B
0	0	0	0	0	1
0	1	1	0	0	1
1	0	1	0	1	1
1	1	1	1	0	0

La tabla de excitación para el flip-flop JK fue derivada en la Tabla 6-8(b). Esta tabla se usa ahora para deducir la tabla de excitación del circuito. Por ejemplo, en la primera fila de la Tabla 6-10 se tiene una transición del flip-flop A de 0 en el presente estado a 0 en el estado siguiente. En la Tabla 6-8(b) se encuentra que los estados de transición de 0 a 0 requieren que la entrada $J = 0$ y la entrada $K = X$. Así 0 y X se copian en la primera fila bajo JA y KA , respectivamente. Como la primera fila muestra también la transición del flip-flop B de 0 en el presente estado a 0 en el siguiente estado, 0 y X se copian en la primera columna bajo JB y KB . La segunda fila de la Tabla 6-10 muestra una transición del flip-flop B de 0 en el presente estado a 1 en el siguiente estado. De la Tabla 6-8(b) se encuentra que una transición de 0 a 1 requiere que la entrada $J = 1$ y la entrada $K = X$. Así 1 y X se copian en la segunda fila bajo JB y KB respectivamente. Este proceso se continúa para cada fila de la tabla de verdad y para cada flip-flop con las condiciones de entrada especificadas

Tabla 6-10 Tabla de excitación

Entradas de los circuitos combinacionales			Siguiete estado	Salidas del circuito combinacional				
Estado presente		Entrada		Entradas de los flip-flops				
<i>A</i>	<i>B</i>			<i>JA</i>	<i>KA</i>	<i>JB</i>	<i>KB</i>	
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1

en la Tabla 6-8(b) copiadas en la fila correspondiente del flip-flop particular considerado.

Hágase una pausa y considérese la información disponible en una tabla de excitación tal como la Tabla 6-10. Se sabe que un circuito secuencial consiste en un número de flip-flops y un circuito combinacional. La Figura 6-22 muestra los dos flip-flops *JK* necesarios para el circuito y un rectángulo para representar el circuito combinacional. Es claro del diagrama de bloque que las salidas del circuito combinacional vayan a las entradas de los flip-flops y a las salidas externas (si se especifica). Las entradas del circuito combinacional son las entradas externas y los valores de estado presentes de los flip-flops. Sin embargo, las funciones de Boole que especifican un circuito combinacional se derivan de una tabla de verdad que muestra las relaciones de entrada-salida del circuito. La tabla de verdad que describe el circuito combinacional es disponible en la tabla de excitación. Las *entradas* del circuito combinacional se especifican bajo el presente estado y las columnas de entrada, las *salidas* del circuito combinacional se especifican bajo las columnas de entrada de los flip-flops. Así, una tabla de excitación trasforma un diagrama de estado a la tabla de verdad necesaria para el diseño de la parte del circuito combinacional del circuito secuencial.

Las funciones de Boole simplificadas para el circuito combinacional pueden ahora derivarse. Las entradas son las variables *A*, *B* y *x*; las salidas son las variables *JA*, *KA*, *JB* y *KB*. La información de la tabla de verdad se trasfiere a los mapas de la Figura 6-23, donde se derivan las cuatro funciones simplificadas de la entrada de los flip-flops:

$$\begin{aligned}
 JA &= Bx' & KA &= Bx \\
 JB &= x & KB &= A \odot x
 \end{aligned}$$

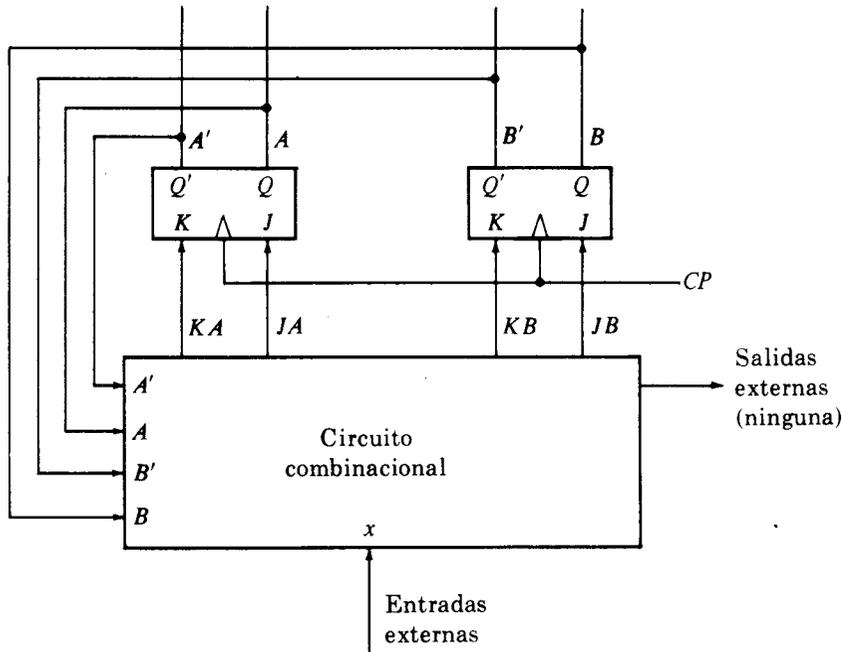


Figura 6-22 Diagrama de bloque del circuito secuencial

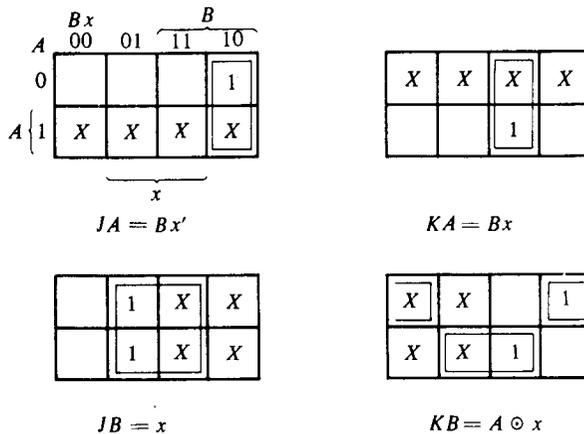


Figura 6-23 Mapas del circuito combinacional

El diagrama lógico se dibuja en la Figura 6-24 y consiste en dos flip-flops, dos compuertas AND, una compuerta de equivalencia y un inversor.

Con alguna experiencia, es posible reducir la cantidad de trabajo en el diseño del circuito combinacional. Por ejemplo, es posible obtener la información para los mapas de la Figura 6-23 directamente de la Tabla 6-9 sin tener que derivar la Tabla 6-10. Esto se hace repasando sistemáticamente cada estado presente y la combinación de entrada en la

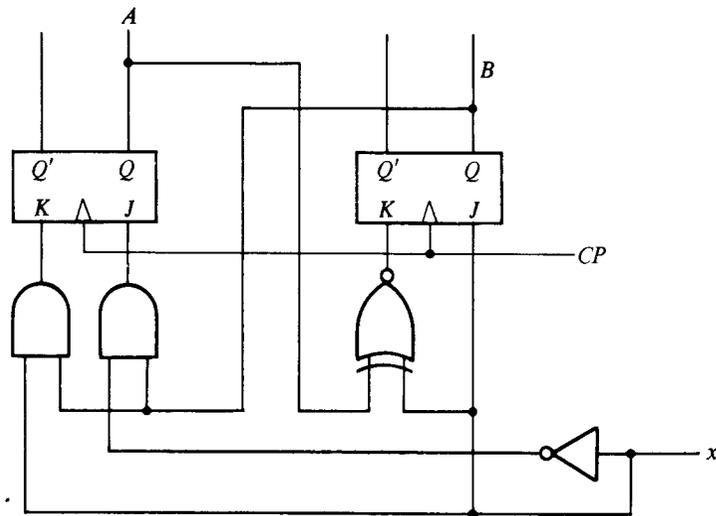


Figura 6-24 Diagrama lógico del circuito secuencial

Tabla 6-9 y comparándola con los valores binarios del siguiente estado correspondiente. Las condiciones de entrada necesarias, como se especifican por la excitación de los flip-flops en la Tabla 6-8, se determinan entonces. En vez de insertar el 0, 1 ó x así obtenidos en la tabla de excitación, se pueden escribir directamente en el cuadrado apropiado del mapa apropiado.

La tabla de excitación de un circuito secuencial con m flip-flops, k entradas por flip-flop y n entradas externas consiste en $m + n$ columnas para el estado presente y las variables de entrada y hasta 2^{m+n} filas listadas en alguna cuenta binaria conveniente. La siguiente sección de estado tiene m columnas, una para cada flip-flop. Los valores de entrada de los flip-flops se listan en mk columnas, una para cada entrada de cada flip-flop. Si el circuito contiene j salidas, la tabla debe incluir j columnas. La tabla de verdad del circuito combinacional se toma de la tabla de excitación considerando el estado presente $m + n$ y las columnas de entrada como *entradas*, y los valores de entrada del flip-flop $mk + j$ y las salidas externas como *salidas*.

Diseño con estados no usados

Un circuito con m flip-flops puede tener 2^m estados. Hay ocasiones cuando un circuito secuencial puede usar menos que este máximo número de estados. Los estados que no se usan en la especificación del circuito secuencial no se listan en la tabla de estado. Cuando se simplifican las funciones de entrada de los flip-flops, los estados sin usar pueden ser tratados como condiciones de no importa.

EJEMPLO 6-1: Completar el diseño del circuito secuencial presentado en la Sección 6-5. Use la tabla de estado reducida con

Tabla 6-11 Tabla de excitación para el Ejemplo 6-1

Estado presente			Entrada x	Estado siguiente			Entradas de flip-flops						Salidas y
A	B	C		A	B	C	SA	RA	SB	RB	SC	RC	
0	0	1	0	0	0	1	0	X	0	X	X	0	0
0	0	1	1	0	1	0	0	X	1	0	0	1	0
0	1	0	0	0	1	1	0	X	X	0	1	0	0
0	1	0	1	1	0	0	1	0	0	1	0	X	0
0	1	1	0	0	0	1	0	X	0	1	X	0	0
0	1	1	1	1	0	0	1	0	0	1	0	1	0
1	0	0	0	1	0	1	X	0	0	X	1	0	0
1	0	0	1	1	0	0	X	0	0	X	0	X	1
1	0	1	0	0	0	1	0	1	0	X	X	0	0
1	0	1	1	1	0	0	X	0	0	X	0	1	1

la asignación 1 tal como se da en la Tabla 6-6. El circuito debe usar flip-flops RS.

La tabla de estado de la Tabla 6-6 se redibuja en la Tabla 6-11 en la forma conveniente para obtener la tabla de excitación. Las condiciones de entrada del flip-flop se deriva de las columnas del estado presente y del siguiente estado de la tabla de estado. Como se usan los flip-flops RS es necesario referirse a la Tabla 6-8(a) para las condiciones de excitación de este tipo de flip-flop. A los tres flip-flops se les da los nombres de las variables A , B y C . La variable de entrada es x y la variable de salida es y . La tabla de excitación del circuito suministra toda la información necesaria para el diseño.

Hay tres estados sin usar en este circuito: los estados binarios 000, 110 y 111. Cuando se incluye una entrada de 0 ó 1 con estos estados no usados se obtienen seis términos mínimos, de no importa: 0, 1, 12, 13, 14 y 15. Estas seis combinaciones binarias no se listan en la tabla de verdad bajo el estado presente y la entrada y se tratan como términos de no importa.

La parte del circuito combinacional del circuito secuencial se simplifica por medio de los mapas de la Figura 6-25. Hay siete mapas en el diagrama, seis mapas son para simplificar las funciones de entrada para los tres flip-flops RS. El séptimo mapa es para simplificar la salida y . Cada mapa tiene seis X en los cuadrados de los términos mínimos de no importa 0, 1, 2, 13, 14 y 15. Los otros términos de no importa en los mapas provienen de las X en las columnas de entrada del flip-flop de la tabla. Las funciones simplificadas se listan bajo cada mapa. El diagrama lógico obtenido de estas funciones de Boole se dibujan en la Figura 6-26.

Un factor olvidado hasta este momento en el diseño es el estado inicial del circuito secuencial. Cuando se le da potencia a un sistema digital

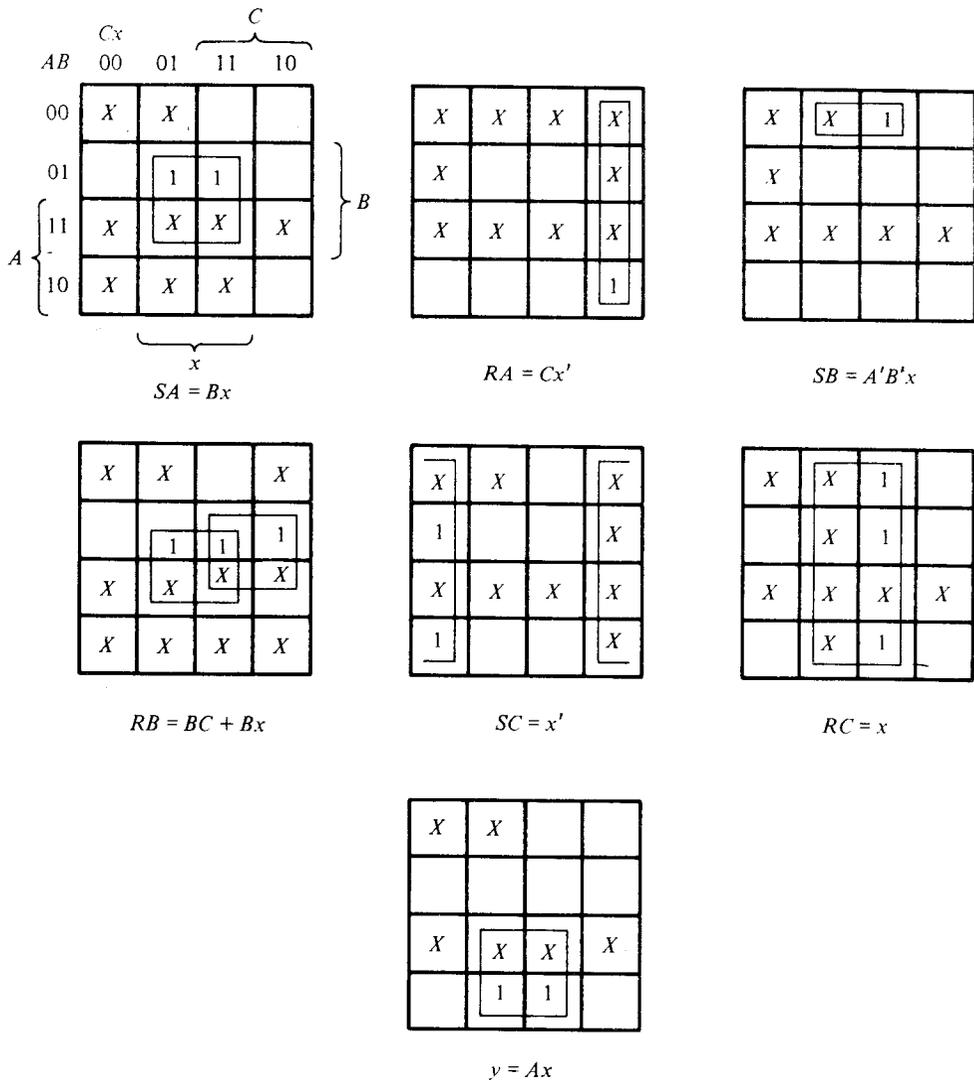


Figura 6-25 Mapas para simplificar el circuito secuencial del Ejemplo 6-1

por primera vez, no se conoce en qué estado se fijará el flip-flop. Es costumbre suministrar una entrada *maestra de puesta a uno* (master-re-set) cuyo propósito es iniciar los estados de todos los flip-flops en el sistema. Típicamente, la maestra de puesta a uno es una señal aplicada a todos los flip-flops asincrónicos antes de comenzar las operaciones temporizadas. En la mayoría de los casos los flip-flops se llevan a 0 por medio de la señal maestra de puesta a 0, pero algunos serán puestos a 1. Por ejemplo, el circuito de la Figura 6-26 puede inicialmente ponerse a 0 con un estado $ABC = 001$, ya que el estado 000 no es un estado válido para este circuito.

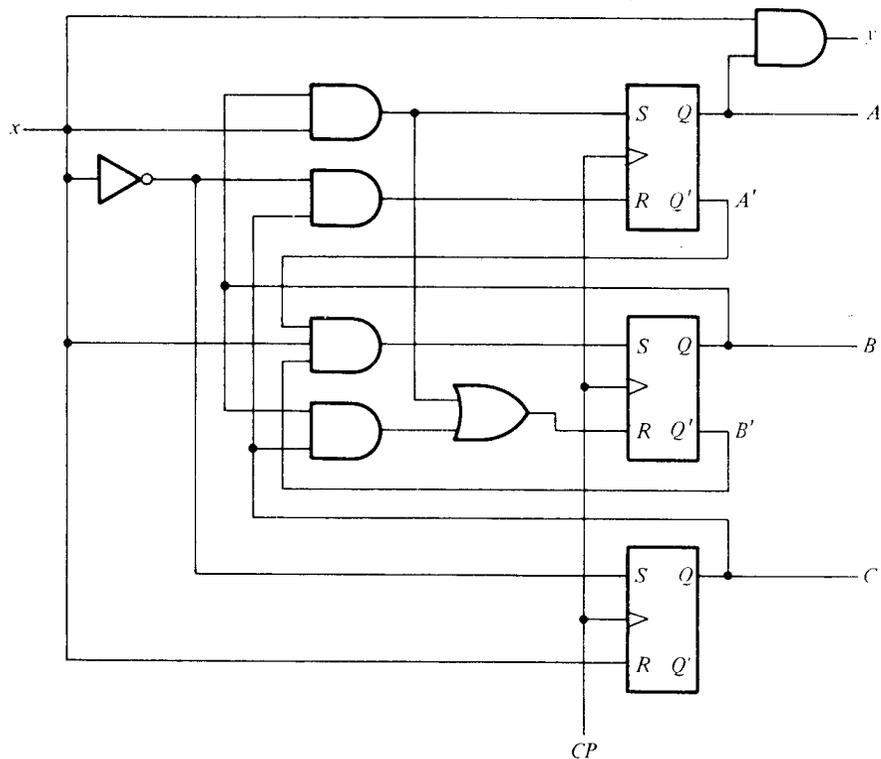


Figura 6-26 Diagrama lógico para el Ejemplo 6-1

¿Pero qué pasa si el circuito no se pone a cero con un estado válido inicial? O lo que es peor, ¿qué pasa si debido a la señal de ruido o cualquier otra razón imprevista, el circuito se encuentra en uno de estos estados inválidos? En este caso es necesario asegurar que el circuito eventualmente vaya a uno de los estados válidos para regresar a la operación normal. De otra manera, si el circuito secuencial circula dentro de los estados inválidos, no habrá manera de llevarlo de nuevo a la secuencia intentada de las transiciones de estado. Aunque se puede asumir que esta condición indeseable supuestamente no ocurre, un diseñador cuidadoso puede prevenir que esta situación nunca ocurra.

Se había expresado previamente que los estados sin usar en un circuito secuencial pueden ser tratados como condiciones de no importa. Una vez que se diseña el circuito, los m flip-flops en el sistema pueden estar en cualquiera de los 2^m estados posibles. Si algunos de estos estados se tomaran como condiciones de no importa, el circuito puede ser investigado para determinar el efecto de estos estados sin usar. El estado siguiente de los estados inválidos pueden determinarse del análisis del circuito. De todas maneras, es siempre acertado analizar un circuito obtenido de un diseño, para asegurar que no se cometan errores durante el proceso.

EJEMPLO 6-2: Analizar el circuito secuencial obtenido en el Ejemplo 6-1 y determinar el efecto de los estados sin usar.

Los estados sin usar son 000, 110 y 111. El análisis del circuito se hace por el método esbozado en la Sección 6-4. Los mapas de la Figura 6-25 pueden ayudar también en el análisis. Lo que se necesita aquí es comenzar con el diagrama del circuito de la Figura 6-26 y derivar la tabla o el diagrama. Si la tabla de estado derivada es idéntica a la Tabla 6-6 (o la parte de la tabla de estado de la Tabla 6-11), entonces se sabe que el diseño es correcto. En suma, se debe determinar los estados siguientes de los estados sin usar 000, 110 y 111.

Los mapas de la Figura 6-25 pueden ayudar a encontrar el siguiente estado de cada una de las entradas sin usar. Tómese, por ejemplo, el estado sin usar 000. Si en este circuito, por alguna razón, se encuentra en el presente estado 000, una entrada $x = 0$ transferirá a otro (o al mismo) estado siguiente. Se investigará primero el término mínimo $ABCx = 0000$. De los mapas, se ve que este término mínimo no se incluye en ninguna función excepto para SC , es decir, la entrada de puesta a uno del flip-flop C . Por tanto, los flip-flops A y B no cambiarán pero el flip-flop C se pondrá a 1. Como el presente estado es $ABC = 000$, el siguiente estado será $ABC = 001$. Los mapas mostrarán también que el término mínimo $ABCx = 0001$ se incluye en las funciones para SB y RC . Por tanto B se pondrá a uno y C se pondrá a cero. Comenzando con $ABC = 000$ y poniendo a uno a B , se obtiene el siguiente estado $ABC = 010$ (C ya se ha puesto a cero). La investigación del mapa para la salida y demuestra que y será cero para estos dos términos mínimos.

El resultado del procedimiento de análisis se muestra en el diagrama de estado de la Figura 6-27. El circuito opera como se ha diseñado, siempre y cuando esté dentro de los estados 001, 010, 011, 100 y 101. Si alguna vez se encuentra en uno de los estados

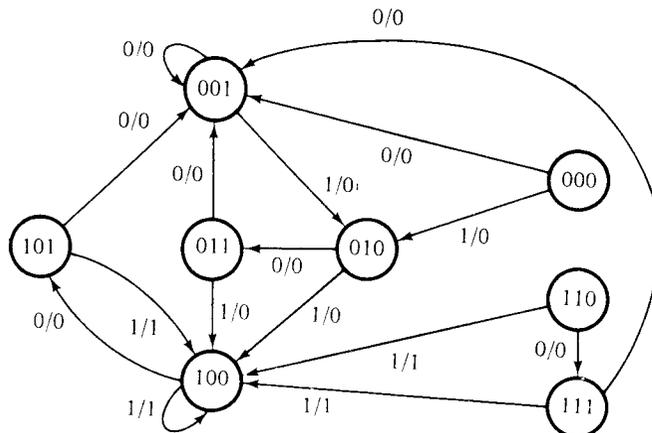


Figura 6-27 Diagrama de estado para el circuito de la Figura 6-26

inválidos 000, 110 ó 111, irá a alguno de los estados válidos en uno de los dos pulsos siguientes. El circuito será así de autocomienzo y autocorrección ya que eventualmente irá a un estado válido a partir del cual continuará operando de acuerdo a lo requerido.

Una situación indeseable hubiera ocurrido si el estado siguiente de 110 para $x = 1$ hubiera sido 111 y el estado siguiente de 111 para $x = 0$, 110. Entonces, si el circuito comienza de 110 ó 111, circulará y se mantendrá entre estos dos estados para siempre. Los estados no usados que causan tal comportamiento indeseable deben ser evitados; si se detecta su existencia, el circuito debe ser rediseñado. Esto puede hacerse más fácilmente especificando un estado siguiente válido para cualquier estado sin usar que se haya encontrado circulando entre estados inválidos.

6-8 DISEÑO DE CONTADORES

Un circuito secuencial que pasa por una secuencia preestablecida de estados después de la aplicación de pulsos se llama un *contador*. Los pulsos de entrada, llamados *pulsos de cuenta*, pueden ser pulsos de reloj, o ellos pueden originarse en una fuente externa y pueden ocurrir en intervalos establecidos de tiempo o aleatoriamente. En un contador, la secuencia de estados puede seguir una cuenta binaria o cualquier otra secuencia de estados. Los contadores se encuentran en la mayoría de los equipos que contienen lógica digital. Ellos se usan para contar el número de ocurrencias de un evento y se usan para generar secuencias de tiempo para controlar las operaciones en un sistema digital.

De las diferentes secuencias que un contador debe seguir, la secuencia binaria directa es la más simple y la más directa. Un contador que sigue la secuencia binaria se llama *contador binario*. Un contador de n bits consiste en n flip-flops y puede contar en binario de 0 hasta $2^n - 1$. Como un ejemplo, el diagrama de estado de un contador de 3 bits se muestra en la Figura 6-28. Como se ve en los diagramas de estado indicados dentro de los círculos, las salidas de los flip-flops repiten la secuencia de cuenta binaria con un regreso a 000 después de 111. Las líneas dirigidas

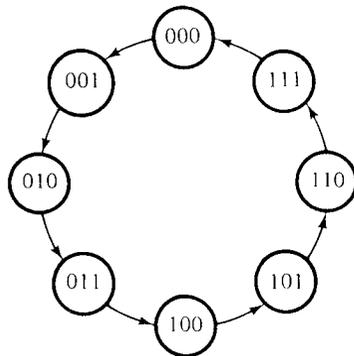


Figura 6-28 Diagrama de estado de un contador binario de 3 bits

entre círculos no se marcan con valores de entrada-salida como en otros diagramas de estado. Recuérdese que las transiciones de estado en dos circuitos secuenciales temporizados ocurren durante un pulso de reloj; los flip-flops permanecen en sus estados presentes si no ocurre ningún pulso. Por esta razón, el pulso de reloj variable CP no aparece explícitamente como una variable de entrada en un diagrama de estado o tabla de estado. Desde este punto de vista, el diagrama de estado de un contador no tiene que mostrar valores de entrada-salida a lo largo de las líneas dirigidas. La única entrada al circuito es el pulso de cuenta, y las salidas se especifican directamente con los estados presentes de los flip-flops. El siguiente estado del contador depende enteramente de su estado presente y la transición de estado ocurre cada vez que ocurre el pulso. Debido a esta propiedad, se especifica completamente un contador por medio de una lista de *secuencia de cuenta*, es decir, la secuencia de los estados binarios que se le suceden.

La secuencia de cuenta de un contador binario de 3 estados se da en la Tabla 6-12. El siguiente número en la secuencia representa el siguiente estado alcanzado por el circuito después de la aplicación del pulso de cuenta. La secuencia de cuenta se repite una vez haya alcanzado el último valor, de tal manera que el estado 000 es el estado siguiente después de 111. La secuencia de cuenta da toda la información necesaria para diseñar el circuito. No es necesario listar los estados siguientes en una columna separada porque se puede leer del número siguiente en la secuencia. El diseño de contadores sigue el mismo procedimiento que aquel esbozado en la Sección 6-7, excepto que la tabla de excitación puede obtenerse directamente de la secuencia de cuenta.

Tabla 6-12 Tabla de excitación para un contador binario de tres bits

Secuencia de cuenta			Entradas del flip-flop		
A_2	A_1	A_0	TA_2	TA_1	TA_0
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	0	0	1
0	1	1	1	1	1
1	0	0	0	0	1
1	0	1	0	1	1
1	1	0	0	0	1
1	1	1	1	1	1

La Tabla 6-12 es la tabla de excitación para el contador binario de 3 bits. Se les da designaciones de variables A_2 , A_1 y A_0 a los tres flip-flops. Los contadores binarios se construyen más eficientemente con flip-flops T (o flip-flops JK con J y K unidas). La excitación del flip-flop para las entradas T se deriva de la tabla de excitación del flip-flop T y por inspección de la transición de estado de una cuenta dada (estado presente)